

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 2 月 20 日 (20.02.2003)

PCT

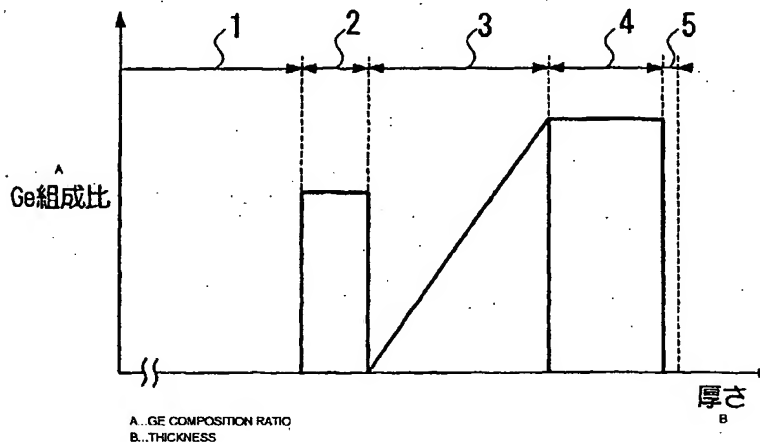
(10) 国際公開番号
WO 03/015140 A1

- (51) 国際特許分類: H01L 21/20, 29/78, 21/336, 29/786, 29/161, 21/205
都 港区 芝浦一丁目 2 番 1 号 Tokyo (JP). 三菱マテリアル株式会社 (MITSUBISHI MATERIALS CORPORATION) [JP/JP]; 〒100-8117 東京都千代田区大手町一丁目 5 番 1 号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/07903
- (22) 国際出願日: 2002 年 8 月 2 日 (02.08.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-238172 2001 年 8 月 6 日 (06.08.2001) JP
特願 2001-396966 2001 年 12 月 27 日 (27.12.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱住友シリコン株式会社 (SUMITOMO MITSUBISHI SILICON CORPORATION) [JP/JP]; 〒105-8634 東京
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 水嶋 一樹 (MIZUSHIMA, Kazuki) [JP/JP]; 〒330-0835 埼玉県さいたま市北袋町 1 丁目 2 9 7 番地 三菱マテリアル株式会社 総合研究所内 Saitama (JP). 塩野 一郎 (SHIONO, Ichiro) [JP/JP]; 〒330-0835 埼玉県さいたま市北袋町 1 丁目 2 9 7 番地 三菱マテリアル株式会社 総合研究所内 Saitama (JP). 山口 健志 (YAMAGUCHI, Kenji) [JP/JP]; 〒330-0835 埼玉県さいたま市北袋町 1 丁目 2 9 7 番地 三菱マテリアル株式会社 総合研究所内 Saitama (JP).
- (74) 代理人: 志賀 正武, 外 (SHIGA, Masatake et al.); 〒169-8925 東京都新宿区高田馬場三丁目 2 3 番 3 号 ORビル Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE, FIELD-EFFECT TRANSISTOR, AND THEIR MANUFACTURING METHODS

(54) 発明の名称: 半導体基板及び電界効果型トランジスタ並びにこれらの製造方法



(57) Abstract: A semiconductor substrate comprises an Si substrate (1), a first SiGe layer (2) on the Si substrate, an a second SiGe layer (3) formed directly on the first SiGe layer (2) or with an Si layer being interposed therebetween. The thickness of the first SiGe layer is smaller than twice the critical thickness causing lattice relaxation due to dislocation caused when the film thickness is too large. The Ge composition ratio of the second SiGe layer is lower than the maximum value of the Ge composition ratio of the first SiGe layer at least at the contact surface in contact with

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

the first SiGe layer or the Si layer. The second SiGe layer has at least a portion including a gradient composition region where the Ge composition ratio gradually increases toward the surface. As a result, the threading dislocation density and the surface roughness are reduced to practical levels.

(57) 要約:

半導体基板及び電界効果型トランジスタ並びにこれらの製造方法において、貫通転位密度を低く、表面ラフネスも実用レベルまで小さくするために、Si基板1と、該Si基板上の第1のSiGe層2と、該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層3とを備え、前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、前記第2のSiGe層は、そのGe組成比が少なくとも前記第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有する。

明 細 書

半導体基板及び電界効果型トランジスタ並びにこれらの製造方法

技術分野

本発明は、高速MOSFET等に用いられる半導体基板及び電界効果型トランジスタ並びにこれらの製造方法に関する。

背景技術

近年、Si（シリコン）基板上にSiGe（シリコン・ゲルマニウム）層を介してエピタキシャル成長した歪みSi層をチャネル領域に用いた高速のMOSFET、MODFET、HEMTが提案されている。この歪みSi-FETでは、Siに比べて格子定数の大きいSiGeによりSi層に引っ張り歪みが生じ、そのためSiのバンド構造が変化して縮退が解けてキャリア移動度が高まる。したがって、この歪みSi層をチャネル領域として用いることにより通常の1.3～8倍程度の高速化が可能になるものである。また、プロセスとしてCZ法（チョクラスキー法；Czochralski Method）による通常のSi基板を基板として使用でき、従来のCMOS工程で高速CMOSを実現可能にするものである。

しかしながら、FETのチャネル領域として要望される上記歪みSi層をエピタキシャル成長するには、Si基板上に良質なSiGe層をエピタキシャル成長する必要があるが、SiとSiGeとの格子定数の違いから、転位等により結晶性に問題があった。このために、従来、以下のような種々の提案が行われていた。

例えば、SiGeのGe組成比を一定の緩い傾斜で変化させたバッファ層を用いる方法、Ge（ゲルマニウム）組成比をステップ状（階段状）に変化させたバッファ層を用いる方法、Ge組成比を超格子状に変化させたバッファ層を用いる方法及びSiのオフカットウェーハを用いてGe組成比を一定の傾斜で変化させたバッファ層を用いる方法等が提案されている（U.S. Patent 5,442,205、U.S. Patent 5,221,413、PCT W098/00857、特開平6-252046号公報等）。

しかしながら、上記従来の技術では、以下のような課題が残されている。

すなわち、上記従来の技術を用いて成膜されたSiGe層は、貫通転位密度や表面ラフネスがデバイス及び製造プロセスとして要望されるレベルには及ばない状態であった。

例えば、Ge組成比を傾斜させたバッファ層を用いる場合では、貫通転位密度を比較的低くすることができるが、表面ラフネスが悪化してしまう不都合があり、逆にGe組成比を階段状にしたバッファ層を用いる場合では、表面ラフネスを比較的少なくすることができるが、貫通転位密度が大きくなってしまう不都合があった。また、オフカットウェーハを用いる場合では、転位が成膜方向ではなく横に抜け易くなるが、まだ十分な低転位化を図ることができていない。表面ラフネスについても、近年のLSI等におけるフォトリソグラフィ工程に要求されるレベルにはまだ至っていない。

発明の開示

本発明は、前述の課題に鑑みてなされたもので、貫通転位密度を低くかつ表面ラフネスも実用レベルまで小さくすることができる半導体基板及び電界効果型トランジスタ並びにこれらの製造方法を提供することを目的とする。

本発明は、前記課題を解決するために以下の構成を採用した。すなわち、本発明の半導体基板は、Si基板と、該Si基板上の第1のSiGe層と、該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層とを備え、前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、前記第2のSiGe層は、そのGe組成比が少なくとも前記第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有することを特徴とする。

また、本発明の半導体基板の製造方法は、Si基板上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、前記Si基板上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、前記第1のSiGe層

上に直接又はエピタキシャル成長したSi層を介して第2のSiGe層をエピタキシャル成長する第2の層形成工程とを有し、前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、前記第2の層形成工程は、前記第2のSiGe層のGe組成比を少なくとも前記第1のSiGe層あるいは前記Siとの接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を形成することを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

本発明は、前記課題を解決するために以下の構成を採用した。すなわち、本発明の半導体基板は、Si基板と、該Si基板上の第1のSiGe層と、該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層とを備え、前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、前記第2のSiGe層は、表面に向けてGe組成比が漸次増加するSiGeの傾斜組成層と該傾斜組成層の上面のGe組成比で傾斜組成層上に配されたSiGeの一定組成層とを交互にかつ連続したGe組成比で複数層積層状態にして構成され、前記第2のSiGe層下面のGe組成比は、前記第1のSiGe層におけるGe組成比の層中の最大値より低いことを特徴とする。

また、本発明の半導体基板の製造方法は、Si基板上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、前記Si基板上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、前記第1のSiGe層上に直接又はエピタキシャル成長したSi層を介して第2のSiGe層をエピタキシャル成長する第2の層形成工程とを有し、前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、前記第2の層形成工程は、表面に向けてGe組成比を漸次増加させたSiGeの傾斜組成層をエピタキシャル成長する工

程と、前記傾斜組成層の最終的なGe組成比で傾斜組成層上にSiGeの一定組成層をエピタキシャル成長する工程とを連続したGe組成比で複数回繰り返して、Ge組成比が成膜方向に傾斜をもって階段状に変化する前記第2のSiGe層を成膜し、該第2のSiGe層下面のGe組成比は、前記第1のSiGe層におけるGe組成比の層中の最大値より低いことを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

これらの半導体基板及び半導体基板の製造方法では、膜厚の増加により転位が発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く第1のSiGe層の膜厚を設定し、第2のSiGe層のGe組成比を少なくとも第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、第2のSiGe層は少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有する。また、第2のSiGe層下面のGe組成比を第1のSiGe層におけるGe組成比の層中の最大値より低くする。このため、Si基板と第1のSiGe層との界面及び第1のSiGe層と第2のSiGe層との界面付近に効率的に転位を集中させることができ、第2のSiGe層表面の貫通転位密度及び表面ラフネスを低減することができる。

すなわち、第1のSiGe層が臨界膜厚の2倍より薄く成膜されるため、第1のSiGe層成膜中では膜厚に応じて歪みエネルギーが大きくなるが転位はほとんど生成しない。次に、第2のSiGe層のエピタキシャル成長を始めると、すでに第1のSiGe層に歪みエネルギーが蓄積されているため、第2のSiGe層の膜厚が薄い段階で、転位の生成と成長が、第1のSiGe層両側の界面及び第2のSiGe層内の第1のSiGe層側からはじまり、第1のSiGe層及び第2のSiGe層の格子緩和が始まる。このとき、第2のSiGe層のGe組成比が第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低いため、転位は、第1のSiGe層両側の界面に沿って集中し生成し、第1のSiGe層両側の界面における転位の生成が、第2のSiGe層の格子緩和を助け、第2のSiGe層内での転位の生成や成長

が抑制されると共に、第2のSiGe層表面の表面ラフネスの悪化も抑制される。

さらに、第1のSiGe層は、Si基板表面における水分や酸素成分あるいは炭素成分といった不純物を除去する層として機能し、Si基板の表面汚染に起因した欠陥を抑制する効果がある。

さらに、第2のSiGe層の傾斜組成領域では、転位が均等に生成し、転位同士絡み合いが起こり、傾斜組成領域中の転位密度が減少するとともに、転位の成長が横方向に誘導されることにより表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される効果がある。

従来の第1のSiGe層がない場合の傾斜組成領域では、傾斜組成領域の膜厚が所定の膜厚以上になり臨界膜厚を越えたときに転位の生成がはじまり、いったん転位密度の増加を経た後に、さらに傾斜組成領域を形成した場合に、前記の効果が得られる。すなわち、従来の構造では、傾斜組成領域の上側の一部の領域においてのみ前記の効果が得られる。

一方、第1のSiGe層がある本発明の構造では、すでに第1のSiGe層に歪みエネルギーが蓄積されているため、第2のSiGe層の膜厚が薄い段階で、転位の生成が第2のSiGe層内ではじまるため、第2のSiGe層内の傾斜組成領域全体で前記の効果が得られ、第2のSiGe層の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

さらに、第1のSiGe層は、Si基板表面における水分や酸素成分あるいは炭素成分といった不純物を除去する層として機能し、Si基板の表面汚染に起因した欠陥を抑制する効果がある。

なお、第1のSiGe層の成膜中に転位が生成しはじめると、転位が多方向に成長し始めるため、転位の成長する方向を抑制することが困難になり、貫通転位や表面ラフネスを低減させることが難しい。そこで、第1のSiGe層の膜厚は、臨界膜厚の2倍を越えない範囲で、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い膜厚に設定する必要がある。同時に、第1のSiGe層の膜厚は、実際に転位の生成や格子緩和が顕著にはじまる膜厚に近い膜厚であるほど効果的である。実際に転位の生成や格子緩和が顕著にはじまる膜厚は、成膜の温度条件等によって異なる。そこで、それぞれの成膜条件において、臨界膜厚の2倍を越

えない範囲で、実際に転位の生成や格子緩和が顕著にはじまる膜厚付近で、本発明の効果が効果的に得られる膜厚を選べばよい。

また、表面に向けてGe組成比が漸次増加するSiGeの傾斜組成層と該傾斜組成層の上面のGe組成比で傾斜組成層上に配されたSiGeの一定組成層とを交互にかつ連続したGe組成比で複数層積層状態にして第2のSiGe層とするので、第2のSiGe層全体としてGe組成比が傾斜階段状の層となり、界面において転位が横方向に走り易くなり、貫通転位が生じ難くなると共に、界面での組成変化が小さいので、界面での転位発生が抑制され、傾斜組成層の層内で転位が均等に発生して、表面ラフネスの悪化を抑制することができる。

本発明者らは、SiGeの成膜技術について研究を行ってきた結果、結晶中の転位が以下のような傾向を有することがわかった。

すなわち、SiGe層を成膜する際に、成膜中に発生する転位は成膜方向に対して斜め方向又は横方向（成膜方向に直交する方向： $\langle 110 \rangle$ 方向）のいずれかに走り易い特性を持っている。また、転位は層の界面で横方向に走り易いが、組成が急峻に変化する界面では、上記斜め方向に走り易くなると共に多くの転位が高密度に発生すると考えられる。

したがって、Ge組成比を単純な階段状にして成膜すると、急峻な組成変化となる界面部分で多くの転位が高密度に生じると共に、転位が成膜方向の斜め方向に走り易く、貫通転位となるおそれが高いと考えられる。また、Ge組成比を単純に緩く傾斜させて成膜すると、上記斜め方向に走った転位が横方向に逃げるきっかけとなる部分（界面等）が無く、表面にまで貫通してしまうと考えられる。

これらに対し、本発明の半導体基板の製造方法では、表面に向けてGe組成比を漸次増加させたSiGeの傾斜組成層をエピタキシャル成長する工程と、前記傾斜組成層の最終的なGe組成比で傾斜組成層上にSiGeの一定組成層をエピタキシャル成長する工程とを連続したGe組成比で複数回繰り返して、Ge組成比が成膜方向に傾斜をもって階段状に変化する前記第2のSiGe層を成膜するので、傾斜組成層と一定組成層とが交互に複数段形成されてGe組成比が傾斜階段状の層となり、転位密度が小さくかつ表面ラフネスが小さいSiGe層を形成することができる。

すなわち、界面において転位が横方向に走り易くなり、貫通転位が生じ難くなる。また、界面での組成変化が小さいので、界面での転位発生が抑制され、傾斜組成層の層内で転位が均等に発生して、表面ラフネスの悪化を抑制することができる。

さらに、第2のSiGe層の傾斜組成領域では、転位が均等に生成し、転位同士絡み合いが起こり、傾斜組成領域中の転位密度が減少するとともに、転位の成長が横方向に誘導されることにより表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される効果がある。

従来の第1のSiGe層がない場合の傾斜組成領域では、傾斜組成領域の膜厚が所定の膜厚以上になり臨界膜厚を越えたときに転位の生成が始まり、いったん転位密度の増加を経た後に、さらに傾斜組成領域を形成した場合に、前記の効果が得られる。すなわち、従来の構造では、傾斜組成領域の上側の一部の領域においてのみ前記の効果が得られる。

一方、第1のSiGe層がある本発明の構造では、すでに第1のSiGe層に歪みエネルギーが蓄積されているため、第2のSiGe層の膜厚が薄い段階で、転位の生成が第2のSiGe層内ではじまるため、第2のSiGe層内の傾斜組成領域全体で前記の効果が得られ、第2のSiGe層の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

また、本発明の半導体基板は、前記第1のSiGe層が、Ge組成比xが一定であり、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \varepsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ は、Si の格子定数})$$

を満たす臨界膜厚 t_c の2倍未満の厚さである技術が採用される。

また、本発明の半導体基板の製造方法は、前記第1の層形成工程において、前記第1のSiGe層のGe組成比xが一定であり、第1のSiGe層を、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \varepsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ は、Si の格子定数})$$

を満たす臨界膜厚 t_c の2倍未満の厚さである技術が採用される

これらの半導体基板及び半導体基板の製造方法では、第1のSiGe層のGe組成比が一定であるため、同じGe組成比で実際に転位の生成や格子緩和が顕著にはじまる膜厚が最も薄くなり、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。また、これらの半導体基板及び半導体基板の製造方法では、第1のSiGe層を上記関係式を満たす臨界膜厚（成膜温度にかかわらず、Ge組成比及び格子定数のみから算出される転位が発生して格子緩和が生ずる膜厚をいう） t_c の2倍未満の厚さにすることにより、第1のSiGe層の膜厚を容易に実際に転位の生成や格子緩和が顕著にはじまる膜厚内に設定することができる。

すなわち、上記実際に転位の生成や格子緩和が顕著にはじまる膜厚は成膜温度により変化するため、Ge組成比 x 及び格子定数のみから理論的に求めた理想的な臨界膜厚 t_c の2倍未満とすれば、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄くなり、本発明の効果をを得ることができる。なお、上記臨界膜厚は、平衡状態で成膜されることを前提にしているため、成膜温度にかかわらずGe組成比及び格子定数のみで決定されるが、実際に転位の生成や格子緩和が顕著にはじまる膜厚は、平衡状態だけでなく低温成長などの非平衡状態で成膜された場合も含めたものであり、成膜温度に応じて決定される。

また、本発明の半導体基板は、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であることが好ましい。

また、本発明の半導体基板の製造方法は、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であることが好ましい。

また、本発明の半導体基板の製造方法では、Si基板上にSiGe層を介して歪みSi層が形成された半導体基板を製造し、半導体基板の第2のSiGe層上に直接又は他のSiGe層を介して前記歪みSi層をエピタキシャル成長するこ

とが望ましい。

本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。すなわち、この半導体基板は、上記本発明の半導体基板の製造方法により作製されているので、表面の貫通転位が少なく、良好な表面ラフネスを有している。

これらの半導体基板及び半導体基板の製造方法では、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であるため、実際に転位の生成や格子緩和が顕著にはじまる膜厚が薄すぎたり厚すぎたりすることがなく、適度な厚さの第1のSiGe層で本発明の効果が効果的に得られる。

すなわち、第1のSiGe層のGe組成比 x が0.05より小さい場合は、実際に転位の生成や格子緩和が顕著にはじまる膜厚が厚くなりすぎるため、第1のSiGe層の成膜に要する時間が長くなり、しかも、第1のSiGe層の表面ラフネスが悪化してしまう。

一方、第1のSiGe層のGe組成比 x が0.3より大きい場合は、ごく薄い膜厚で、実際に転位の生成や格子緩和が顕著にはじまってしまうため、第1のSiGe層を制御性よく形成することが難しい。

また、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であれば、実際に転位の生成や格子緩和が顕著にはじまる膜厚が適度な厚さとなり、第1のSiGe層両側の界面に沿って転位が集中して生成し、第1のSiGe層両側の界面における転位の生成が、第2のSiGe層の格子緩和を助ける効果を効果的に得られる。

また、本発明の半導体基板は、前記第2のSiGe層が前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加して傾斜組成層である構造が採用される。

また、本発明の半導体基板の製造方法は、前記第2のSiGe層が前記第1のSiGe層上に直接配し、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層とする方法が採用される。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴と

する。

本発明の半導体基板は、前記第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。

本発明の半導体基板の製造方法は、前記第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長する工程を有することを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

これらの半導体基板及び半導体基板の製造方法では、前記第2のSiGe層が前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層からなるため、本発明の効果をを得るために必要な層が無駄なく配され、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。

これらの半導体基板の製造方法及び半導体基板では、前記第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層がエピタキシャル成長されるので、欠陥が少なく、表面ラフネスの小さな良質な歪みSi層が得られ、例えば歪みSi層をチャンネル領域とするMOSFET等を用いた集積回路用として好適な半導体基板を得ることができる。

本発明の半導体基板は、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。

また、本発明の半導体基板の製造方法は、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、上記本発明の歪みSi層を成長する半導体基板の製造方法により作製されたことを特徴とする。

これらの半導体基板及び半導体基板の製造方法では、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長するので、欠陥が

少なく、表面ラフネスの小さな良質な歪みSi層が得られ、例えば歪みSi層をチャネル領域とするMOSFET等を用いた集積回路用の半導体基板及びその製造方法として好適である。

本発明の電界効果型トランジスタは、SiGe層上の歪みSi層にチャネル領域を有する電界効果型トランジスタであって、上記本発明の半導体基板の前記歪みSi層に前記チャネル領域を有することを特徴とする。

また、本発明の電界効果型トランジスタの製造方法は、SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタの製造方法であって、上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域を形成することを特徴とする。

また、本発明の電界効果型トランジスタは、SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタであって、上記本発明の電界効果型トランジスタの製造方法により作製されたことを特徴とする。

本発明の電界効果型トランジスタの製造方法は、SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタの製造方法であって、上記本発明の歪みSi層を有する半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域を形成することを特徴とする。

また、本発明の電界効果型トランジスタは、SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタであって、上記本発明の電界効果型トランジスタの製造方法により作製されたことを特徴とする。

これらの電界効果型トランジスタ及び電界効果型トランジスタの製造方法では、上記本発明の半導体基板又は上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域が形成されるので、良質な歪みSi層により高特性な電界効果型トランジスタを高歩留まりで得ることができる。

図面の簡単な説明

図1は、本発明に係る第1実施例における半導体基板を示す断面図である。

図2は、本発明に係る第1実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図3は、本発明に係る第1実施例におけるMOSFETを示す概略的な断面図である。

図4は、本発明に係る第2実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図5は、本発明に係る第3実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図6は、本発明に係る第4実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図7は、本発明に係る第5実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図8は、本発明に係る第1実施例に対応する実施例における半導体基板のうち、第1のSiGe層の膜厚を300nmとした基板について、膜厚に対するGe組成比の分布をSIMSにより分析した結果を示すグラフである。

図9は、本発明に係る第1実施例に対応する実施例における第1のSiGe層の膜厚に対する貫通転位密度を示すグラフである。

図10は、本発明に係る第1実施例に対応する実施例における第1のSiGe層の膜厚に対する表面ラフネスを示すグラフである。

図11は、本発明に係る従来例における表面の光学顕微鏡写真である。

図12は、本発明に係る第1実施例に対応する実施例における表面の光学顕微鏡写真である。

図13は、本発明に係る第2～5実施例に対応する実施例におけるそれぞれの表面ラフネスを示す表である。

図14は、本発明に係る第2実施例に対応する実施例における第1のSiGe層の膜厚に対する貫通転位密度の測定結果を示すグラフである。

図15は、本発明に係る第2実施例に対応する実施例における第1のSiGe

層の膜厚に対する表面ラフネスの測定結果を示すグラフである。

図16は、本発明に係る第1実施例における半導体基板の膜厚に対するGe組成比を示すグラフである。

図17は、本発明に係る第1実施例における第2のSiGe層を示す断面図である。

図18は、本発明に係る第1実施例における第2のSiGe層の膜厚に対するGe組成比を示すグラフである。

図19は、本発明に係る第2実施例における第2のSiGe層の膜厚に対するGe組成比を示すグラフである。

図20は、本発明に係る第2実施例における第2のSiGe層を示す断面図である。

図21A～21Dは、本発明に係る第3実施例の各例における第1のSiGe層の膜厚に対するGe組成比を示すグラフである。

図22は、本発明に係る第1実施例に対応する実施例における第1のSiGe層の膜厚を変えた場合の貫通転位密度の測定結果を示すグラフである。

図23は、本発明に係る第1実施例に対応する実施例における第1のSiGe層の膜厚を変えた場合の表面ラフネスの測定結果を示すグラフである。

図24A～24Gは、TEM (Transmission Electron Microscope、透過型電子顕微鏡) によって成膜過程を観察した結果の写真である。

発明を実施するための最良の形態

以下、本発明に係る第1実施例を、図1から図3を参照しながら説明する。

図1は、本発明の半導体ウェーハ（半導体基板）Wの断面構造を示すものであり、この半導体ウェーハの構造をその製造プロセスと合わせて説明すると、まず、CZ法等で引上成長して作製されたp型あるいはn型Si基板1上に、図1及び図2に示すように、Ge組成比 x が一定（例えば $x=0.15$ ）で上述した実際に転位の生成や格子緩和が顕著にはじまる膜厚よりも薄い厚さ（例えば300nm）の第1のSiGe層2を例えば減圧CVD法によりエピタキシャル成長する。

この際、第1のSiGe層2が実際に転位の生成や格子緩和が顕著にはじまる

膜厚より薄く成膜されるため、第1のSiGe層2成膜中では膜厚に応じて歪みエネルギーが大きくなるが転位や格子緩和はほとんど発生しない。

なお、第1のSiGe層2の厚さは、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \epsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\epsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \text{ (} a_0 \text{ は、Si の格子定数)}$$

を満たす臨界膜厚 t_c の2倍未満の厚さにする。

次に、第1のSiGe層2上に第2のSiGe層3をエピタキシャル成長する。この第2のSiGe層3は、そのGe組成比 y が少なくとも第1のSiGe層2との接触面で第1のSiGe層2におけるGe組成比 x の層中の最大値より低く設定される。また、第2のSiGe層3は、そのGe組成比 y が表面に向けて漸次増える傾斜組成層（例えば、Ge組成比 y が0から0.3まで増加する層）

（傾斜組成領域）であり、例えば1.1 μm の厚さまで成膜される。

第2のSiGe層3のエピタキシャル成長を始めると、すでに第1のSiGe層2に歪みエネルギーが蓄積されているため、第2のSiGe層3の膜厚が薄い段階で、転位の生成と成長が、第1のSiGe層2両側の界面及び第2のSiGe層3内の第1のSiGe層2側からはじまり、第1のSiGe層2及び第2のSiGe層3の格子緩和が始まる。このとき、第2のSiGe層3のGe組成比が第1のSiGe層2の接触面で第1のSiGe層2におけるGe組成比の層中の最大値より低いため、転位は、第1のSiGe層2両側の界面2a、2bに沿って集中し生成し、第1のSiGe層2両側の界面2a、2bにおける転位の生成が、第2のSiGe層3の格子緩和を助け、第2のSiGe層3内での転位の生成や成長が抑制されると共に、第2のSiGe層3表面の表面ラフネスの悪化も抑制される。

さらに、Ge組成比 z が第2のSiGe層3の最終的なGe組成比と同じ（例えば、 z が0.3）で一定組成比のSiGe緩和層4を所定厚さ（例えば、0.75 μm ）だけエピタキシャル成長し、次に、該SiGe緩和層4上に単結晶Siをエピタキシャル成長して歪みSi層5を所定厚さ（例えば、20 nm）だけ

形成することにより、本実施例の半導体ウェーハWが作製される。

なお、上記減圧CVD法による成膜は、キャリアガスとして H_2 を用い、ソースガスとして SiH_4 及び GeH_4 を用いている。

このように本実施例の半導体ウェーハWでは、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く第1のSiGe層2の膜厚を設定し、第2のSiGe層3のGe組成比 y を少なくとも第1のSiGe層2との接触面で第1のSiGe層2におけるGe組成比 x の層中の最大値より低くするので、Si基板1と第1のSiGe層2との界面2a及び第1のSiGe層2と第2のSiGe層3との界面2bに効率的に転位を集中させることができ、貫通転位密度及び表面ラフネスを低減すること等ができる。

また、第1のSiGe層2のGe組成比が一定であるため、同じGe組成比で実際に転位の生成や格子緩和が顕著にはじまる膜厚が最も薄くなり、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。

また、第1のSiGe層2を上記関係式を満たす臨界膜厚 t_c の2倍未満の厚さにすることにより、後述する実験結果に基づいて、第1のSiGe層2の膜厚を容易に実際に転位の生成や格子緩和が顕著にはじまる膜厚内に設定することができる。

また、本実施例では、第2のSiGe層3がGe組成比を漸次増加させた傾斜組成層（傾斜組成領域）とされることにより、転位が均等に生成し、転位同士の絡み合いが起こり、第2のSiGe層3中の転位密度が減少するとともに、転位の成長が横方向に誘導されることにより表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される効果がある。

また、本実施例では、第2のSiGe層3の成膜前にすでに第1のSiGe層2に歪みエネルギーが蓄積されているため、第2のSiGe層3の膜厚が薄い段階で、転位の生成が第2のSiGe層3内ではじまるため、第2のSiGe層3内の傾斜組成領域全体で前記の効果が得られ、第2のSiGe層3の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

さらに、第1のSiGe層2は、Si基板1表面における水分や酸素成分ある

いは炭素成分といった不純物を除去する層として機能し、S i 基板 1 の表面汚染に起因した欠陥を抑制する効果がある。

次に、本発明の上記半導体ウェーハWを用いた電界効果型トランジスタ（MOS FET）を、その製造プロセスと合わせて図 3 を参照して説明する。

図 3 は、本発明の電界効果型トランジスタの概略的な構造を示すものであって、この電界効果型トランジスタを製造するには、上記の製造工程で作製した半導体ウェーハW表面の歪みS i 層 5 上にS i O₂のゲート酸化膜 6 及びゲートポリシリコン膜 7 を順次堆積する。そして、チャネル領域となる部分上のゲートポリシリコン膜 7 上にゲート電極（図示略）をパターニングして形成する。

次に、ゲート酸化膜 6 もパターニングしてゲート電極下以外の部分を除去する。さらに、ゲート電極をマスクに用いたイオン注入により、歪みS i 層 5 及び緩和層 4 にn型あるいはp型のソース領域S及びドレイン領域Dを自己整合的に形成する。この後、ソース領域S及びドレイン領域D上にソース電極及びドレイン電極（図示略）をそれぞれ形成して、歪みS i 層 5 がチャネル領域となるn型あるいはp型MOS FETが製造される。

このように作製されたMOS FETでは、上記製法で作製された半導体ウェーハW上の歪みS i 層 5 にチャネル領域が形成されるので、良質な歪みS i 層 5 により高特性なMOS FETを高歩留まりで得ることができる。

次に、本発明に係る第 2 実施例について、図 4 を参照して説明する。

第 2 実施例と第 1 実施例との異なる点は、第 1 実施例における第 1 のS i Ge 層 2 では、Ge 組成比が一定に設定されているのに対し、第 2 実施例では、図 4 に示すように、第 1 のS i Ge 層 1 2 のGe 組成比xをS i 基板 1 との接触面で層中の最大値とし、Ge 組成比xを漸次減少させている点である。

すなわち、本実施例では、第 1 のS i Ge 層 1 2 の形成工程において、成膜開始時ではGe 組成比xを0. 2 とし、その後徐々に減少させて最終的にはGe 組成比xをほぼ0 まで変化させ、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ（例えば、350 nm）だけ成長させた傾斜組成層とする。

本実施例では、第 1 のS i Ge 層 1 2 のGe 組成比xをS i 基板 1 との接触面で層中の最大値とすることにより、成膜時の歪みエネルギーがS i 基板 1 との界

面側に集中することになり、第2のSiGe層3成膜開始時に生じる格子緩和の際に、第2のSiGe層3との界面よりもSi基板1との界面に多くの転位を発生させることができる。これにより、第2のSiGe層3表面側から離れた位置に転位を集中させることができ、第1実施例と同様に、貫通転位や表面ラフネスを低減させることが可能になる。

次に、本発明に係る第3実施例について、図5を参照して説明する。

第3実施例と第2実施例との異なる点は、第2実施例の第2のSiGe層12が、Ge組成比を漸次減少させた傾斜組成層であるのに対し、第3実施形態では、図5に示すように、第1のSiGe層22の形成工程において、成膜開始時ではGe組成比 x を0.2とし、その後徐々に減少させてGe組成比 x をほぼ0まで変化させて所定厚さ（例えば、175nm）成膜した後、さらに再びGe組成比 x を徐々に増加させて最終的に0.2まで所定厚さ（例えば、175nm）成膜した組成変化層とした点で異なっている。

なお、この第1のSiGe層22の厚さも、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く設定する。

この第3実施例においても、第1のSiGe層22のGe組成比 x がSi基板1及び第2のSiGe層3との接触面で層中の最大値となるので、第1実施形態と同様に、Si基板1及び第2のSiGe層3との界面に多くの転位を発生させることができる。

次に、本発明に係る第4実施例及び第5実施例について、図6及び図7を参照して説明する。

第4実施例と第1実施例との異なる点は、第1実施例における第1のSiGe層2では、Ge組成比が一定に設定されているのに対し、第4実施例では、図6に示すように、第1のSiGe層32のGe組成比 x をほぼ0から徐々に増加させて最終的に0.2まで実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ（例えば、350nm）成膜している点である。

また、第5実施例と第1実施例との異なる点は、第1実施例における第1のSiGe層2では、Ge組成比が一定に設定されているのに対し、第5実施形態では、図7に示すように、第1のSiGe層42のGe組成比 x をほぼ0から徐々

に増加させて0.2まで所定厚さ（例えば、175 nm）成膜し、さらにその後Ge組成比xを0.2から徐々に減少させてほぼ0まで所定厚さ（例えば、175 nm）成膜している点である。なお、第1のSiGe層42の厚さは、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く設定される。

これらの第4及び第5実施例では、いずれも第1のSiGe層32、42が実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い膜厚で形成されるので、第2のSiGe層3の成膜時に第1のSiGe層32、42の両側の界面に転位が集中的に発生し、貫通転位や表面ラフネスを低減することができる。なお、第4及び第5実施例では、第1のSiGe層32、42の層中におけるGe組成比の最大値がSi基板1との界面側にないため、第1及び第2実施例の方が、より貫通転位及び表面ラフネスの改善効果を得ることができる。

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば、上記各実施例では、第1のSiGe層中において膜厚に対するGe組成比の分布として5通りの分布としたが、他の分布としても構わない。例えば、第1のSiGe層をGe組成比が異なる複数のSiGe層からなる多層膜としても構わない。また、前記多層膜でSi層を含む多層膜としても構わない。

また、上記各実施例では、第1のSiGe層内でGe組成比を変化させる場合、膜厚に対して一定割合で組成を変化させたが、その割合を一定でなくした構造としても構わない。

さらに、第1のSiGe層は、Geを含む層であり、歪みエネルギーを蓄積できればよく、これら以外のいかなるGe組成比の分布であっても構わない。

また、上記各実施例では、第2のSiGe層全体をGe組成比が漸次増加する傾斜組成層としたが、傾斜組成層と均一組成層とからなる多層構造の層としても構わない。また、Si層を含む多層膜としても構わない。

また、上記各実施例では、第2のSiGe層内でGe組成比を表面に向けて漸次増加させた傾斜組成領域を、膜厚に対して一定割合で組成を変化させたが、その割合を一定でなくした構造としても構わない。また、その組成傾斜を階段状のGe組成比の変化としても構わない。

また、上記各実施例では、第1のSiGe層上に直接第2のSiGe層を配したが、Si層を介して第2のSiGe層を配しても構わない。

また、上記各実施例の半導体ウェーハWの歪みSi層上に、さらにSiGe層を成膜しても構わない。

また、上記各実施例では、MOSFET用の基板としてSiGe層を有する半導体ウェーハを作製したが、他の用途に適用する基板としても構わない。例えば、本発明の半導体基板の製造方法及び半導体基板を太陽電池用の基板に適用してもよい。すなわち、上述した各実施例のSi基板の上に最表面で100%GeとなるようにGe組成比を漸次増加させた傾斜組成層のSiGe層を成膜し、さらにこの上にGaAs（ガリウムヒ素）を成膜することで、太陽電池用基板を作製してもよい。この場合、低転位密度で高特性の太陽電池用基板が得られる。

また、本発明に係る半導体基板の製造方法によれば、歪シリコンを有する高品位な転位の少ないSOI（silicon on insulator）構造の半導体基板を得ることが可能である。歪シリコンを有するSOI構造の半導体基板は、いわゆるスマートカット法によって製造可能である。スマートカット法は水素注入デラミネーション法とも呼ばれ、シリコン単結晶に水素イオンとくに正イオンを注入することにより、シリコンの結晶格子が部分的に切断される現象を利用して薄膜を切り出す方法である。このようにして製造された、SiGe/SiO₂/SiというSOI構造を有する本願の半導体基板は、例えばUS 5, 906, 951号公報に記載されているようなSOI基板の製造に、好適に用いることが可能である。

次に、本発明に係る半導体基板を実際に作製した際のSIMS（Secondary Ion Mass Spectrometry）による分析結果、貫通転位密度、表面ラフネス及び表面光学顕微鏡写真の観察結果を説明する。

作製した半導体基板は、上記第1実施例に対応するものであって、第1のSiGe層2のGe組成比を0.1、0.15、0.2とし、膜厚を変えて複数作製したものである。なお、比較のために従来技術、すなわち第1のSiGe層がないものも作製した。

これらの半導体基板のうち、第1のSiGe層の膜厚を300nmとした基板について、膜厚に対するGe組成比の分布をSIMSにより分析した結果を図8

に示す。

これらの半導体基板の貫通転位密度及び表面ラフネスの測定結果を、それぞれ図9及び図10に示す。なお、貫通転位密度は、エッチピット密度で示し、表面ラフネスは、RMS (Root Mean Square) で示している。

これらの図からもわかるように、従来技術(第1のSiGe層の厚さ0)の場合に比べて、第1のSiGe層の膜厚が少なくとも臨界膜厚 t_c の2倍未満である場合、貫通転位密度及び表面ラフネスのいずれも低減されている。

また、従来技術(第1のSiGe層の厚さ0)の場合及び上記実施例のうち第1のSiGe層のGe組成比が0.2で第1のSiGe層の厚さが180nmの場合とについて、表面の光学顕微鏡写真をそれぞれ図11及び図12に示す。

これらの図からもわかるように、従来技術の場合に比べて本実施例の場合は、エッチピットの暗点が非常に少なくなっている。

なお、これらの本発明の実施例について、図24A~24Gに、TEM (Transmission Electron Microscope、透過型電子顕微鏡)によって成膜過程を観察した結果の写真を示す。図24A~24Cは従来の製造方法による成膜の経過を示しており、図24D~24Gは本願の半導体基板の製造方法による成膜の経過を示している。図24Bと図24Eは同じ時点での写真であり、図24Cと図24Fはそれ以後の成膜過程における同じ時点の写真である。図24Cにおいてはまだ緩和が始まっていない。これに対し図24Fによれば、第1のSiGe層とSi基板との界面及び第1のSiGe層と第2のSiGe層との界面に多くの転位が発生し、第2のSiGe層の表面側には転位が非常に少ないこと、および第1のSiGe層の両界面で既に緩和が進行していることが確認できる。

また、上記第2~第5実施例に対応する半導体基板を実際に作製し、上記と同様に、表面ラフネスを測定した結果を、図13の表に示す。なお、いずれも第1のSiGe層の最大Ge組成比は0.2とし、膜厚を350nmとしている。図13からわかるように、これらの実施例において、第2実施例及び第3実施形態に対応する実施例が、他の実施例よりも良好な結果を得ている。第2実施形態に対応する実施例について、第1のSiGe層の膜厚に対する貫通転位密度及び表面ラフネスの測定結果を、それぞれ図14及び図15に示す。第1実施例の場

合と同様に、従来技術（第1のSiGe層の厚さ0）の場合に比べて、第1のSiGe層の膜厚が少なくとも臨界膜厚 t_c の2倍未満である場合、貫通転位密度及び表面ラフネスのいずれも低減されている。

本発明に係る第6実施例を、図1、3、16、17、18を参照しながら、以下に説明する。

図1は、本発明の半導体ウェーハ（半導体基板）Wの断面構造を示すものであり、この半導体ウェーハの構造をその製造プロセスと合わせて説明すると、まず、CZ法等で引上成長して作製されたp型あるいはn型Si基板1上に、図1及び図16に示すように、Ge組成比 x が一定（例えば $x=0.15$ ）で上述した実際に転位の生成や格子緩和が顕著にはじまる膜厚よりも薄い厚さ（例えば300nm）の第1のSiGe層2を例えば減圧CVD法によりエピタキシャル成長する。

この際、第1のSiGe層2が実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く成膜されるため、第1のSiGe層2成膜中では膜厚に応じて歪みエネルギーが大きくなるが転位や格子緩和はほとんど発生しない。

なお、第1のSiGe層2の厚さは、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \epsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\epsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ は、Siの格子定数})$$

を満たす臨界膜厚 t_c の2倍未満の厚さにする。

次に、第1のSiGe層2上に第2のSiGe層3をエピタキシャル成長する。この第2のSiGe層3は、そのGe組成比 y が少なくとも第1のSiGe層2との接触面で第1のSiGe層2におけるGe組成比 x の層中の最大値より低く設定される。また、第2のSiGe層3は、Ge組成比 x が0から y （例えば $y=0.3$ ）まで成膜方向に傾斜をもって階段状に変化する $\text{Si}_{1-y}\text{Ge}_y$ のステップ傾斜層である。

次に、第2のSiGe層3上にGe組成比が一定である $\text{Si}_{1-y}\text{Ge}_y$ の緩和層4

をエピタキシャル成長する。さらに、Ge組成比 z （本実施例では $z=y$ ）で $\text{Si}_{1-z}\text{Ge}_z$ の緩和層4上にSiをエピタキシャル成長して歪みSi層5を形成することにより、本実施例の歪みSi層を備えた半導体ウェーハWが作製される。なお、各層の膜厚は、例えば、第2のSiGe層3が $1.5\mu\text{m}$ 、緩和層4が $0.7\sim 0.8\mu\text{m}$ 、歪みSi層5が $15\sim 22\text{nm}$ である。

上記第2のSiGe層3の成膜は、図16から図18に示すように、表面に向けてGe組成比を所定値まで漸次増加させたSiGeの傾斜組成層3aをエピタキシャル成長する工程と、傾斜組成層3aの最終的なGe組成比で傾斜組成層3a上にSiGeの一定組成層3bをエピタキシャル成長する工程とを連続したGe組成比で複数回繰り返して行われる。また、第2のSiGe層3下面のGe組成比は、第1のSiGe層2上面のGe組成比以下に設定される。なお、本実施例では、第2のSiGe層3のGe組成比をゼロから漸次増加させている。

例えば、本実施例では、傾斜組成層3a及び一定組成層3bのエピタキシャル成長工程を5回繰り返して行って第2のSiGe層3を形成する。すなわち、1回の傾斜組成層3a及び一定組成層3bのエピタキシャル成長工程を1ステップとすると、まず最初のステップとして第1の傾斜組成層3aをSi基板1上に、Ge組成比を0から0.06まで漸次増加させて成長し、その上にGe組成比が0.06の第1の一定組成層3bを形成する。次に、第2のステップとして、Ge組成比0.06の第1の一定組成層3b上に第2の傾斜組成層3aを、Ge組成比を0.06から0.12まで漸次増加させて成長し、その上にGe組成比が0.12の第2の一定組成層3bを形成する。

そして、第3のステップとして、Ge組成比0.12の第2の一定組成層3b上に第3の傾斜組成層3aを、Ge組成比を0.12から0.18まで漸次増加させて成長し、その上にGe組成比が0.18の第3の一定組成層3bを形成する。次に、第4のステップとして、Ge組成比0.18の第3の一定組成層3b上に第4の傾斜組成層3aを、Ge組成比を0.18から0.24まで漸次増加させて成長し、その上にGe組成比が0.24の第4の一定組成層3bを形成する。さらに、最後のステップとして、Ge組成比0.24の第4の一定組成層3b上に第5の傾斜組成層3aを、Ge組成比を0.24から0.3まで漸次増加

させて成長し、その上にGe組成比が0.3の第5の一定組成層3bを形成する。なお、本実施例では、各傾斜組成層3a及び各一定組成層3bの膜厚は、いずれも同じに設定されている。

上記第2のSiGe層3のエピタキシャル成長を始めると、すでに第1のSiGe層2に歪みエネルギーが蓄積されているため、第2のSiGe層3の膜厚が薄い段階で、転位の生成と成長が、第1のSiGe層2両側の界面及び第2のSiGe層3内の第1のSiGe層2側からはじまり、第1のSiGe層2及び第2のSiGe層3の格子緩和が始まる。このとき、第2のSiGe層3のGe組成比が第1のSiGe層2の接触面で第1のSiGe層2におけるGe組成比の層中の最大値より低いいため、転位は、第1のSiGe層2両側の界面2a、2bに沿って集中し生成し、第1のSiGe層2両側の界面2a、2bにおける転位の生成が、第2のSiGe層3の格子緩和を助け、第2のSiGe層3内での転位の生成や成長が抑制されると共に、第2のSiGe層3表面の表面ラフネスの悪化も抑制される。

さらに、Ge組成比 z が第2のSiGe層3の最終的なGe組成比と同じ（例えば、 z が0.3）で一定組成比のSiGe緩和層4を所定厚さ（例えば、 $0.75\mu\text{m}$ ）だけエピタキシャル成長し、次に、該SiGe緩和層4上に単結晶Siをエピタキシャル成長して歪みSi層5を所定厚さ（例えば、 20nm ）だけ形成することにより、本実施例の半導体ウェーハWが作製される。

なお、上記減圧CVD法による成膜は、例えばキャリアガスとして H_2 を用い、ソースガスとして SiH_4 及び GeH_4 を用いている。

このように本実施例の半導体ウェーハWでは、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く第1のSiGe層2の膜厚を設定し、第2のSiGe層3のGe組成比 y を少なくとも第1のSiGe層2との接触面で第1のSiGe層2におけるGe組成比 x の層中の最大値より低くするので、Si基板1と第1のSiGe層2との界面2a及び第1のSiGe層2と第2のSiGe層3との界面2bに効率的に転位を集中させることができ、貫通転位密度及び表面ラフネスを低減すること等ができる。

また、第1のSiGe層2のGe組成比が一定であるため、同じGe組成比で

実際に転位の生成や格子緩和が顕著にはじまる膜厚が最も薄くなり、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。

また、第1のSiGe層2を上記関係式を満たす臨界膜厚 t_c の2倍未満の厚さにすることにより、後述する実験結果に基づいて、第1のSiGe層2の膜厚を容易に実際に転位の生成や格子緩和が顕著にはじまる膜厚内に設定することができる。

また、本実施例では、第2のSiGe層3の成膜前にすでに第1のSiGe層2に歪みエネルギーが蓄積されているため、第2のSiGe層3の膜厚が薄い段階で、転位の生成が第2のSiGe層3内ではじまるため、第2のSiGe層3内の傾斜組成領域全体で前記の効果が得られ、第2のSiGe層3の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

さらに、第1のSiGe層2は、Si基板1表面における水分や酸素成分あるいは炭素成分といった不純物を除去する層として機能し、Si基板1の表面汚染に起因した欠陥を抑制する効果がある。

また、本実施例では、第2のSiGe層3の形成において、表面に向けてGe組成比を漸次増加させたSiGeの傾斜組成層3aをエピタキシャル成長する工程と、傾斜組成層3aの最終的なGe組成比で傾斜組成層3a上にSiGeの一定組成層3bをエピタキシャル成長する工程とを連続したGe組成比で複数回繰り返すので、傾斜組成層3aと一定組成層3bとが交互に複数段形成されてGe組成比が傾斜階段状の層となり、上述したように転位密度が少なくかつ表面ラフネスが少ないSiGe層を形成することができる。

すなわち、本実施例では、格子緩和に必要な転位を均等に発生させると共に、転位をできるだけ横方向に走らせて表面上に貫通して出ないようにSiGe層を成膜することができるので、良好な表面状態を得ることができる。

次に、本発明の上記半導体ウェーハWを用いた電界効果型トランジスタ(MOSFET)を、その製造プロセスと合わせて図3を参照して説明する。

図3は、本発明の電界効果型トランジスタの概略的な構造を示す断面図であって、この電界効果型トランジスタを製造するには、上記の製造工程で作製した半導体ウェーハW表面の歪みSi層5上にSiO₂のゲート酸化膜6及びゲートポリ

シリコン膜7を順次堆積する。そして、チャネル領域となる部分上のゲートポリシリコン膜7上にゲート電極（図示略）をパターニングして形成する。

次に、ゲート酸化膜6もパターニングしてゲート電極下以外の部分を除去する。さらに、ゲート電極をマスクに用いたイオン注入により、歪みSi層5及び緩和層4にn型あるいはp型のソース領域S及びドレイン領域Dを自己整合的に形成する。この後、ソース領域S及びドレイン領域D上にソース電極及びドレイン電極（図示略）をそれぞれ形成して、歪みSi層5がチャネル領域となるn型あるいはp型MOSFETが製造される。

このように作製されたMOSFETでは、上記製法で作製された半導体ウェーハW上の歪みSi層5にチャネル領域が形成されるので、良質な歪みSi層5により高特性なMOSFETを高歩留まりで得ることができる。

次に、本発明に係る第7実施例について、図19及び図20を参照して説明する。

第7実施例と第6実施例との異なる点は、第6実施例における第2のSiGe層3では、傾斜組成層3a及び一定組成層3bの膜厚がそれぞれ同一に設定されているのに対し、第7実施例では、図19及び図20に示すように、傾斜組成層13a及び一定組成層13bをエピタキシャル成長する工程において、それぞれ繰り返す毎に傾斜組成層13a及び一定組成層13bの厚さを漸次薄くして第2のSiGe層13を形成している点である。なお、第1実施例では、傾斜組成層3a及び一定組成層3bのエピタキシャル成長工程を5回繰り返し行っているが、本実施例では、傾斜組成層13a及び一定組成層13bのエピタキシャル成長工程を4回繰り返し行って第2のSiGe層13を形成している点でも異なっている。

すなわち、本実施例では、傾斜組成層13a及び一定組成層13bのエピタキシャル成長工程において、第1の傾斜組成層13a及び第1の一定組成層13bを成長した後に、第1の傾斜組成層13a及び第1の一定組成層13bより薄く第2の傾斜組成層13a及び第2の一定組成層13bを成長する。さらに、同様にして第2の傾斜組成層13a及び第2の一定組成層13bより薄く第3の傾斜組成層13a及び第2の一定組成層13bを成長し、最後に第3の傾斜組成層1

3 a 及び第 3 の一定組成層 1 3 b より薄く第 4 の傾斜組成層 1 3 a 及び第 4 の一定組成層 1 3 b を成長して第 2 の SiGe 層 1 3 を形成する。

すなわち、第 1 の傾斜組成層 1 3 a 及び第 1 の一定組成層 1 3 b を l_1 、第 2 の傾斜組成層 1 3 a 及び第 2 の一定組成層 1 3 b を l_2 、第 3 の傾斜組成層 1 3 a 及び第 3 の一定組成層 1 3 b を l_3 、第 4 の傾斜組成層 1 3 a 及び第 4 の一定組成層 1 3 b を l_4 とすると、 $l_1 \geq l_2 \geq l_3 \geq l_4$ となるように積層する。

なお、転位が生じる限界膜厚は Ge 組成比によって変わるが、上記各層は、この限界膜厚よりは厚く設定され、格子緩和に必要な転位を各層で均等に生じるようにしている。

また、各傾斜組成層 1 3 a における Ge 組成比の傾斜は、それぞれ同じになるように設定されている。

前述したように、転位は Ge 組成比が高いほど発生し易くなるので、第 6 実施形態のように同一厚さで成膜を繰り返した場合、上層ほど転位が多く発生してしまうのに対し、本実施例のように、繰り返す毎に傾斜組成層 1 3 a 及び一定組成層 1 3 b の厚さを漸次薄くすることにより、各層でより転位を均等に発生させることができる。

次に、本発明に係る第 8 実施例について、図 2 1 A ~ 2 1 D を参照して説明する。

第 8 実施例と第 6 実施例との異なる点は、第 6 実施例における第 1 の SiGe 層 2 では、Ge 組成比が一定に設定されているのに対し、第 8 実施例では、図 2 1 A ~ 2 1 D に示すように、第 1 の SiGe 層の Ge 組成比 x が一定でない点である。例えば、本実施例の第 1 の例は、図 2 1 A に示すように、第 1 の SiGe 層 1 2 の Ge 組成比 x を Si 基板 1 との接触面で層中の最大値とし、Ge 組成比 x を漸次減少させている。

すなわち、本実施例の第 1 の例では、第 1 の SiGe 層 1 2 の形成工程において、成膜開始時では Ge 組成比 x を 0.3 とし、その後徐々に減少させて最終的には Ge 組成比 x をほぼ 0 まで変化させ、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ（例えば、350 nm）だけ成長させた傾斜組成

層とする。

本実施例では、第1のSiGe層12のGe組成比 x をSi基板1との接触面で層中の最大値とすることにより、成膜時の歪みエネルギーがSi基板1との界面側に集中することになり、第2のSiGe層3成膜開始時に生じる格子緩和の際に、第2のSiGe層3との界面よりもSi基板1との界面に多くの転位を発生させることができる。これにより、第2のSiGe層3表面側から離れた位置に転位を集中させることができ、第6実施例と同様に、貫通転位や表面ラフネスを低減させることが可能になる。

また、本実施例の第2の例は、図21Bに示すように、第1のSiGe層22の形成工程において、成膜開始時ではGe組成比 x を0.2とし、その後徐々に減少させてGe組成比 x をほぼ0まで変化させて所定厚さ（例えば、175 nm）成膜した後、さらに再びGe組成比 x を徐々に増加させて最終的に0.2まで所定厚さ（例えば、175 nm）成膜した組成変化層としている。

なお、この第1のSiGe層22の厚さも、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く設定する。

この第2の例においても、第1のSiGe層22のGe組成比 x がSi基板1及び第2のSiGe層3との接触面で層中の最大値となるので、第6実施例と同様に、Si基板1及び第2のSiGe層3との界面に多くの転位を発生させることができる。

また、本実施例の第3の例は、図21Cに示すように、第1のSiGe層32のGe組成比 x をほぼ0から徐々に増加させて最終的に0.2まで実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ（例えば、175 nm）成膜している。

また、本実施例の第4の例は、図21Dに示すように、第1のSiGe層42のGe組成比 x をほぼ0から徐々に増加させて0.2まで所定厚さ（例えば、175 nm）成膜し、さらにその後Ge組成比 x を0.2から徐々に減少させてほぼ0まで所定厚さ（例えば、175 nm）成膜している。なお、第1のSiGe層42の厚さは、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く設定される。

これらの第4及び第5の例では、いずれも第1のSiGe層32、42が実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い膜厚で形成されるので、第2のSiGe層3の成膜時に第1のSiGe層32、42の両側の界面に転位が集中的に発生し、貫通転位や表面ラフネスを低減することができる。なお、第4及び第5の例では、第1のSiGe層32、42の層中におけるGe組成比の最大値がSi基板1との界面側にないため、第1及び第2実施例の方が、より貫通転位及び表面ラフネスの改善効果を得ることができる。

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば、上記各実施例では、第1のSiGe層中において膜厚に対するGe組成比の分布として5通りの分布としたが、他の分布としても構わない。例えば、第1のSiGe層をGe組成比が異なる複数のSiGe層からなる多層膜としても構わない。また、前記多層膜でSi層を含む多層膜としても構わない。

また、上記各実施例では、第1のSiGe層内でGe組成比を変化させる場合、膜厚に対して一定割合で組成を変化させたが、その割合を一定でなくした構造としても構わない。

さらに、第1のSiGe層は、Geを含む層であり、歪みエネルギーを蓄積できればよく、これら以外のいかなるGe組成比の分布であっても構わない。

また、上記各実施例では、第2のSiGe層内でGe組成比を表面に向けて漸次増加させた傾斜組成層を、膜厚に対して一定割合で組成を変化させたが、その割合を一定でなくした構造としても構わない。

また、上記各実施例では、第1のSiGe層上に直接第2のSiGe層を配したが、Si層を介して第2のSiGe層を配しても構わない。

また、上記各実施例の半導体ウェーハの歪みSi層上に、さらにSiGe層を成膜しても構わない。

また、上記各実施例では、MOSFET用の基板としてSiGe層を有する半導体ウェーハを作製したが、他の用途に適用する基板としても構わない。例えば、本発明の半導体基板の製造方法及び半導体基板を太陽電池や光素子用の基板に適用してもよい。すなわち、上述した各実施例において、最表面で65%から10

0%Geあるいは100%Geとなるように第2のSiGe層及び第3のSiGe層を成膜し、さらにこの上にInGaP（インジウムガリウムリン）あるいはGaAs（ガリウムヒ素）やAlGaAs（アルミニウムガリウムヒ素）を成膜することで、太陽電池や光素子用基板を作製してもよい。この場合、低転位密度で高特性の太陽電池用基板が得られる。

【第2実験例】

次に、本発明に係る半導体基板を実際に作製した際の貫通転位密度及び表面ラフネスの測定結果を示す。

作製した半導体基板は、上記第6実施例に対応するものであり、第1のSiGe層2のGe組成比を0.2とし、第2のSiGe層3の傾斜組成層3a及び一定組成層3bのエピタキシャル成長工程を5回繰り返して行った。半導体基板は第1のSiGe層2の膜厚を変えて複数作製した。なお、比較のために、第2のSiGe層を、一定組成層を含まない単一の傾斜組成層としたものも作製した。また、従来技術との比較のために、第1のSiGe層がなく、しかも、第2のSiGe層を、一定組成層を含まない単一の傾斜組成層としたもの（STD）も作製した。

この結果、図22及び図23に示すように、従来技術（STD）に対して、わずかでも第1のSiGe層を設けたものは、貫通転位密度及び表面ラフネスが低くなった。特に、第1のSiGe層が400nm以下の領域で低い貫通転位密度及び表面ラフネスが得られている。

第2のSiGe層を、一定組成層を含まない単一の傾斜組成層としたものでは、従来技術（STD）に比べ、やはり、わずかでも第1のSiGe層を設けたものは、貫通転位密度及び表面ラフネスが低くなった。この場合も、特に第1のSiGe層が400nm以下の領域で低い貫通転位密度及び表面ラフネスが得られている。ただし、第1実施例と比較すれば、貫通転位密度及び表面ラフネスが悪化しており、第2のSiGe層を傾斜組成層と一定組成層とからなる傾斜階段状の層とすることで、貫通転位密度及び表面ラフネスをより効果的に低減できたことが分かる。

本発明によれば、以下の効果を奏する。

本発明の半導体基板及び半導体基板の製造方法によれば、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く第1のSiGe層の膜厚を設定し、第2のSiGe層のGe組成比を少なくとも第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、第2のSiGe層は少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有するので、Si基板と第1のSiGe層との界面及び第1のSiGe層と第2のSiGe層との界面付近に効率的に転位を集中させることができ、第2のSiGe層表面の貫通転位密度及び表面ラフネスを低減することができる。

また、本発明の歪みSi層を備えた半導体基板及びその製造方法によれば、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長するので、表面状態が良好なSiGe層上にSi層を成膜でき、欠陥が少なく、表面ラフネスの小さな良質な歪みSi層を形成することができる。

また、本発明の電界効果型トランジスタ及び電界効果型トランジスタの製造方法によれば、上記本発明の半導体基板又は上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域が形成されるので、良質な歪みSi層により高特性なMOSFETを高歩留まりで得ることができる。

本発明の半導体基板及び半導体基板の製造方法によれば、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く第1のSiGe層の膜厚を設定し、表面に向けてGe組成比が漸次増加するSiGeの傾斜組成層と該傾斜組成層の上面のGe組成比で傾斜組成層上に配されたSiGeの一定組成層とを交互にかつ連続したGe組成比で複数層積層状態にして第2のSiGe層を構成し、第2のSiGe層下面のGe組成比を、第1のSiGe層におけるGe組成比の層中の最大値より低くするので、Si基板と第1のSiGe層との界面及び第1のSiGe層と第2のSiGe層との界面付近に効率的に転位を集中させることができると共に、さらに転位を横方向に走らせて表面上に貫通して出ないようにすることができる。したがって、これらの相乗効果によって、

貫通転位密度及び表面ラフネスの小さい良質な結晶性の基板を得ることができる。

また、本発明の電界効果型トランジスタ及び電界効果型トランジスタの製造方法によれば、上記本発明の半導体基板又は上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域が形成されるので、良質な歪みSi層により高特性なMOSFETを高歩留まりで得ることができる。

請求の範囲

1. Si基板と、

該Si基板上の第1のSiGe層と、

該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層とを備え、

前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、

前記第2のSiGe層は、そのGe組成比が少なくとも前記第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有することを特徴とする半導体基板。

2. クレーム1に記載の半導体基板において、

前記第1のSiGe層は、Ge組成比 x が一定であり、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \epsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\epsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ は、Siの格子定数})$$

を満たす臨界膜厚 t_c の2倍未満の厚さであることを特徴とする半導体基板。

3. クレーム1又は2に記載の半導体基板において、

前記第1のSiGe層は、Ge組成比 x が0.05以上かつ0.3以下であることを特徴とする半導体基板。

4. クレーム1から3のいずれかに記載の半導体基板において、

前記第2のSiGe層は、前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層であることを特徴とする半導体基板。

5. クレーム1から4のいずれかに記載の半導体基板の前記第2の SiGe層上に直接又は他のSiGe層を介して配された歪みSi層を備えていることを特徴とする半導体基板。

6. SiGe層上の歪みSi層にチャネル領域を有する電界効果型トランジスタであって、

クレーム5に記載の半導体基板の前記歪みSi層に前記チャネル領域を有することことを特徴とする電界効果型トランジスタ。

7. Si基板上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、

前記Si基板上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、

前記第1のSiGe層上に直接又はエピタキシャル成長したSi層を介して第2のSiGe層をエピタキシャル成長する第2の層形成工程とを有し、

前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、

前記第2の層形成工程は、前記第2のSiGe層のGe組成比を少なくとも前記第1のSiGe層あるいは前記Siとの接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を形成することを特徴とする半導体基板の製造方法。

8. クレーム7に記載の半導体基板の製造方法において、

前記第1の層形成工程は、前記第1のSiGe層のGe組成比 x が一定であり、第1のSiGe層を、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \epsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$a_0 = 0.543 \text{ nm}$ (a_0 は、Siの格子定数)

を満たす臨界膜厚 t_c の2倍未満の厚さにすることを特徴とする半導体基板の製造方法。

9. クレーム7又は8に記載の半導体基板の製造方法において、

前記第1のSiGe層は、Ge組成比 x が0.05以上かつ0.3以下であることを特徴とする半導体基板の製造方法。

10. クレーム7から9のいずれかに記載の半導体基板の製造方法において、

前記第2のSiGe層は、前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層であることを特徴とする半導体基板の製造方法。

11. Si基板上にSiGe層を介して歪みSi層が形成された半導体基板の製造方法であって、

クレーム7から10のいずれかに記載の半導体基板の製造方法により作製された半導体基板の前記第2のSiGe層上に直接又は他のSiGe層を介して前記歪みSi層をエピタキシャル成長することを特徴とする半導体基板の製造方法。

12. SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタの製造方法であって、

クレーム11に記載の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域を形成することを特徴とする電界効果型トランジスタの製造方法。

13. Si基板上にSiGe層が形成された半導体基板であって、

クレーム7から10のいずれかに記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

14. Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、

クレーム11に記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

15. SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタであって、

クレーム12に記載の電界効果型トランジスタの製造方法により作製されたことを特徴とする電界効果型トランジスタ。

16. Si基板と、

該Si基板上の第1のSiGe層と、

該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層とを備え、

前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、

前記第2のSiGe層は、表面に向けてGe組成比が漸次増加するSiGeの傾斜組成層と該傾斜組成層の上面のGe組成比で傾斜組成層上に配されたSiGeの一定組成層とを交互にかつ連続したGe組成比で複数層積層状態にして構成され、

前記第2のSiGe層下面のGe組成比は、前記第1のSiGe層におけるGe組成比の層中の最大値より低いことを特徴とする半導体基板。

17. クレーム16に記載の半導体基板において、

前記第1のSiGe層は、Ge組成比 x が一定であり、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \epsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\epsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_p$$

$a_0 = 0.543 \text{ nm}$ (a_0 は、Siの格子定数)

を満たす臨界膜厚 t_c の2倍未満の厚さであることを特徴とする半導体基板。

18. クレーム16又は17に記載の半導体基板において、

前記第1のSiGe層は、Ge組成比 x が0.05以上かつ0.3以下であることを特徴とする半導体基板。

19. クレーム16から18のいずれかに記載の半導体基板の前記第2のSiGe層上に直接又は他のSiGe層を介して配された歪みSi層を備えていることを特徴とする半導体基板。

20. SiGe層上の歪みSi層にチャネル領域を有する電界効果型トランジスタであって、

クレーム19に記載の半導体基板の前記歪みSi層に前記チャネル領域を有することを特徴とする電界効果型トランジスタ。

21. Si基板の上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、

前記Si基板の上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、

前記第1のSiGe層上に直接又はエピタキシャル成長したSi層を介して第2のSiGe層をエピタキシャル成長する第2の層形成工程とを有し、

前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、

前記第2の層形成工程は、表面に向けてGe組成比を漸次増加させたSiGeの傾斜組成層をエピタキシャル成長する工程と、

前記傾斜組成層の最終的なGe組成比で傾斜組成層上にSiGeの一定組成層をエピタキシャル成長する工程とを連続したGe組成比で複数回繰り返して、Ge組成比が成膜方向に傾斜をもって階段状に変化する前記第2のSiGe層を成

膜し、

該第2のSiGe層下面のGe組成比を、前記第1のSiGe層におけるGe組成比の層中の最大値より低くすることを特徴とする半導体基板の製造方法。

22. クレーム21に記載の半導体基板の製造方法において、

前記第1の層形成工程は、前記第1のSiGe層のGe組成比 x が一定であり、第1のSiGe層を、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / \varepsilon(x)^{1/2}) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ は、Si の格子定数})$$

を満たす臨界膜厚 t_c の2倍未満の厚さにすることを特徴とする半導体基板の製造方法。

23. クレーム21又は22に記載の半導体基板の製造方法において、

前記第1のSiGe層は、Ge組成比 x が0.05以上かつ0.3以下であることを特徴とする半導体基板の製造方法。

24. Si基板上にSiGe層を介して歪みSi層が形成された半導体基板の製造方法であって、

クレーム21から23のいずれかに記載の半導体基板の製造方法により作製された半導体基板の前記第2のSiGe層上に直接又は他のSiGe層を介して前記歪みSi層をエピタキシャル成長することを特徴とする半導体基板の製造方法。

25. SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタの製造方法であって、

クレーム24に記載の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャネル領域を形成することを特徴とする電界効果型トランジスタの製造方法。

26. Si基板上にSiGe層が形成された半導体基板であって、
クレーム21から23のいずれかに記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

27. Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、
クレーム24に記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

28. SiGe層上にエピタキシャル成長された歪みSi層にチャネル領域が形成される電界効果型トランジスタであって、
クレーム25に記載の電界効果型トランジスタの製造方法により作製されたことを特徴とする電界効果型トランジスタ。

図 1

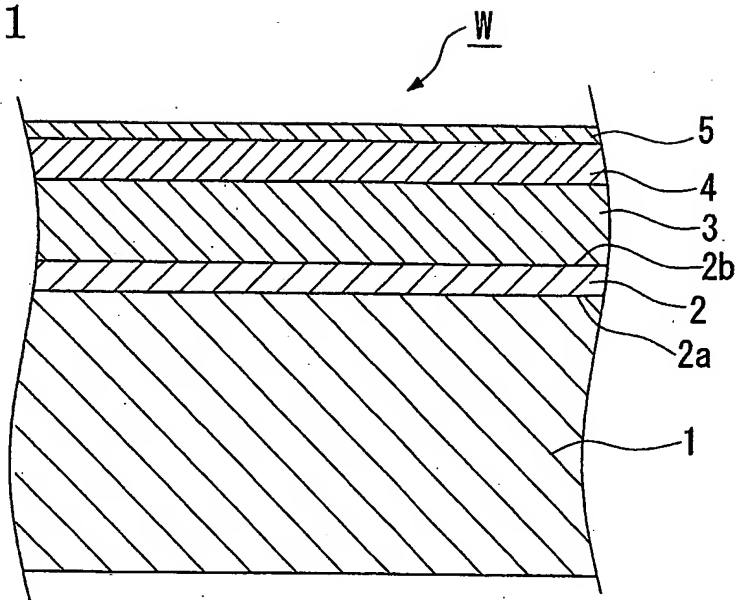


図 2

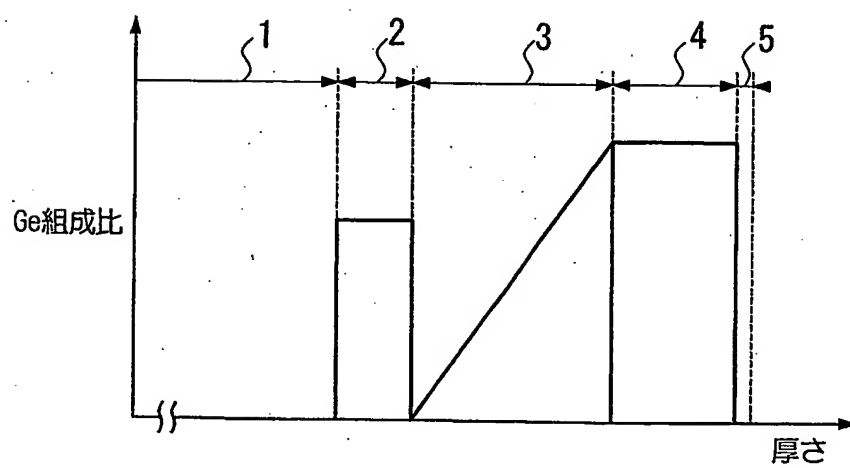


図 3

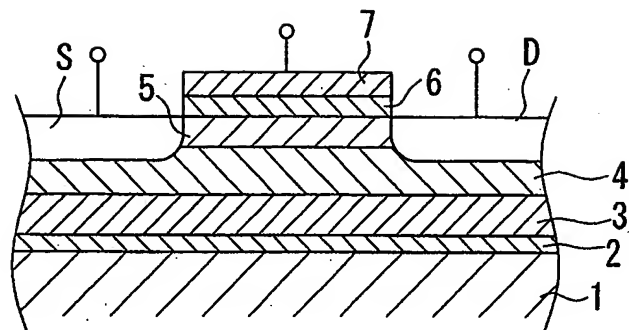


図 4

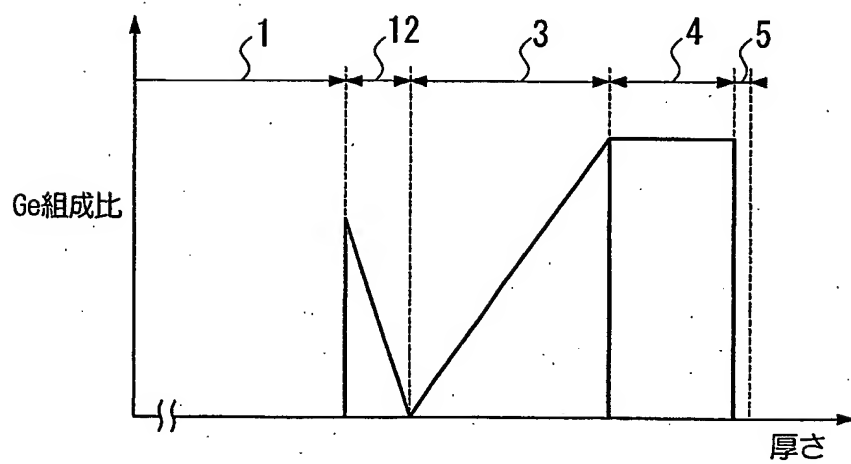


図 5

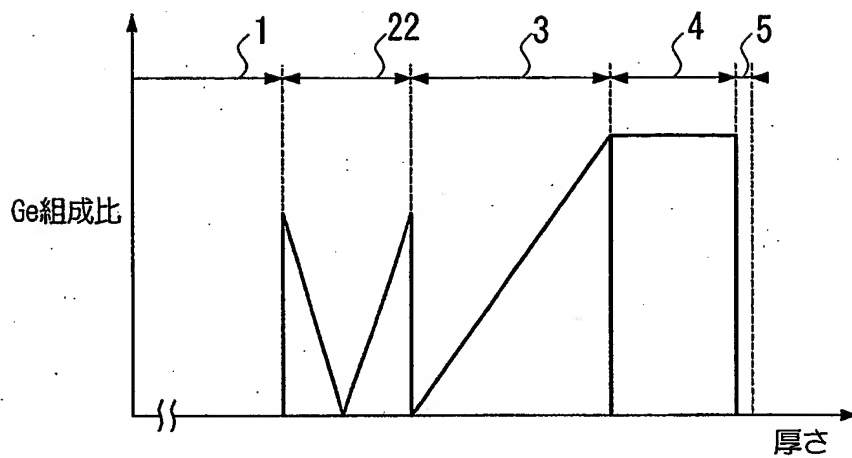


図 6

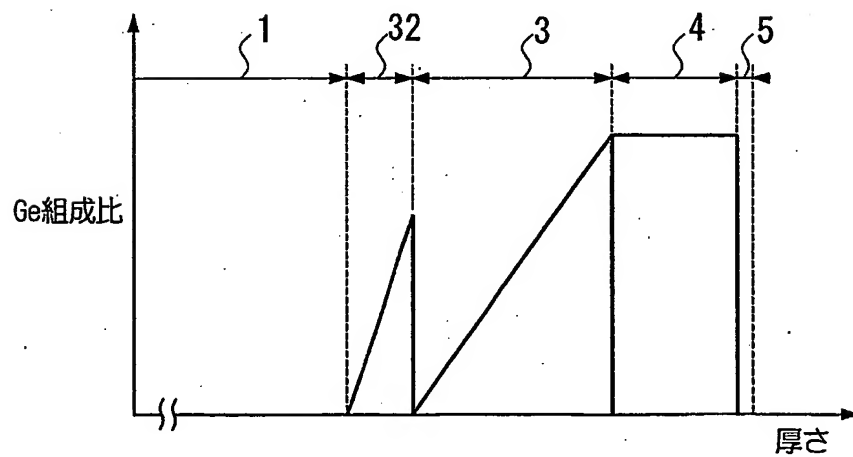


図 7

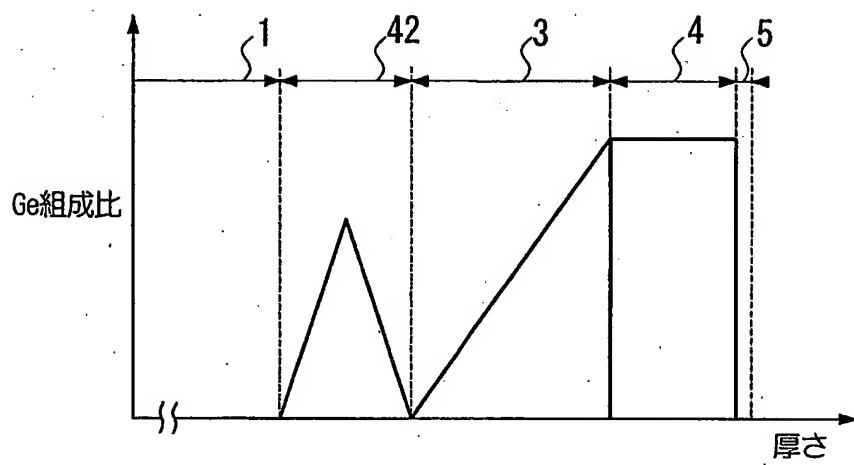


図 8

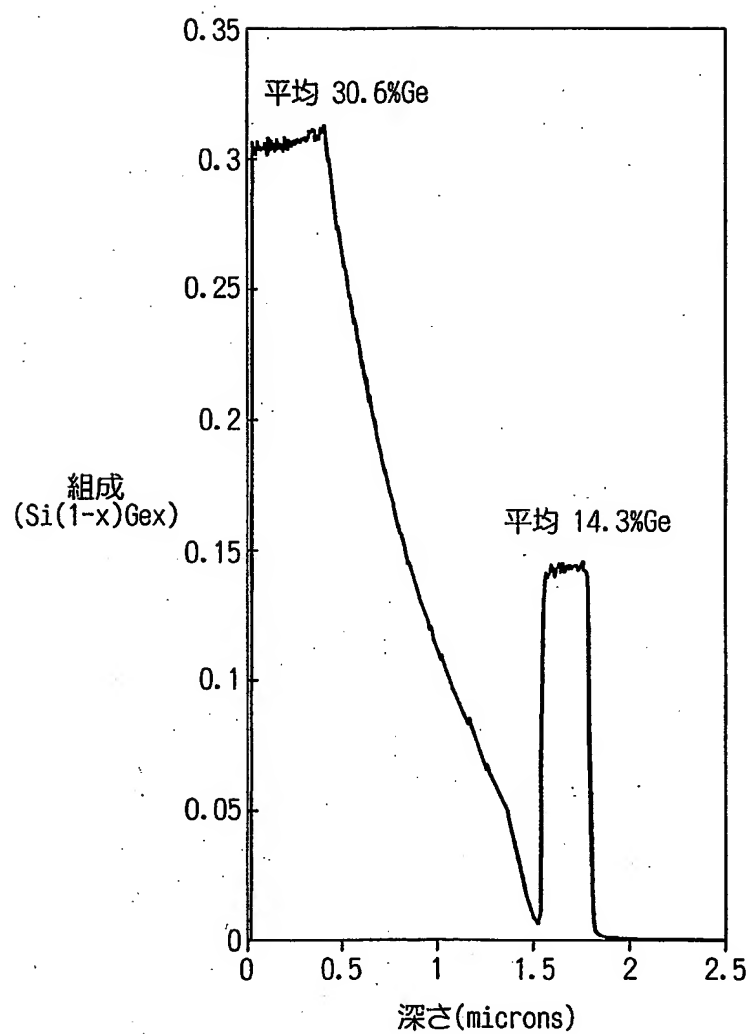
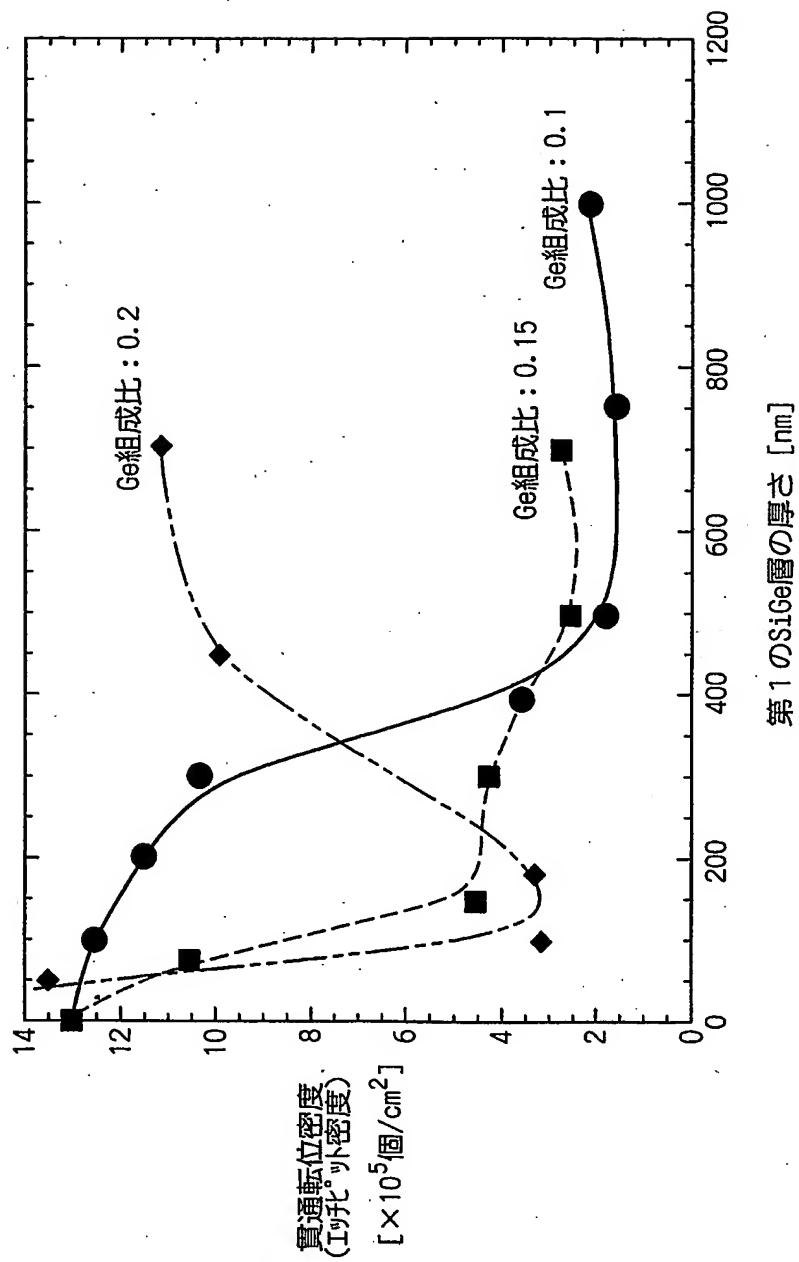


図 9



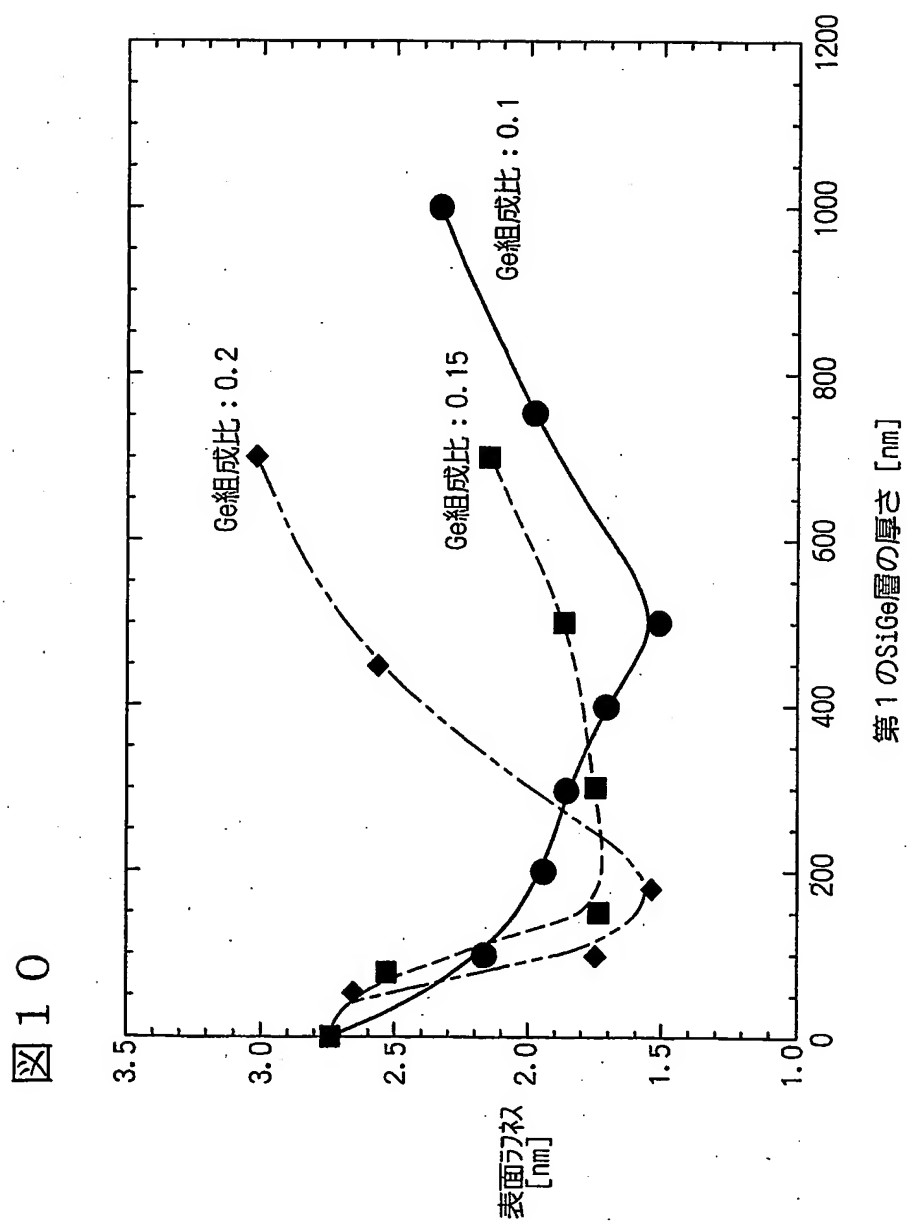
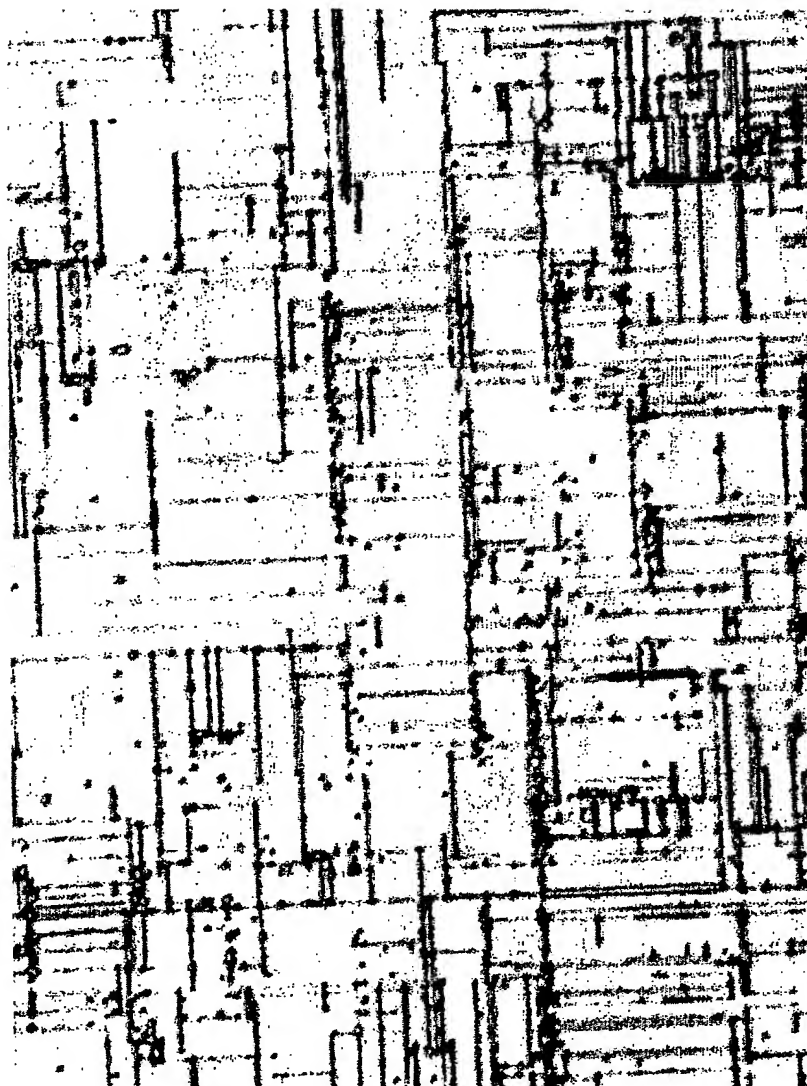


図 1 1



差替え用紙(規則26)

図 1 2



差替え用紙(規則26)

図 1 3

膜厚 350nm	Ge組成比0.2
	RMS(nm)
従来技術	2.73
第2実施形態	1.69
第3実施形態	1.62
第4実施形態	1.89
第5実施形態	2.09

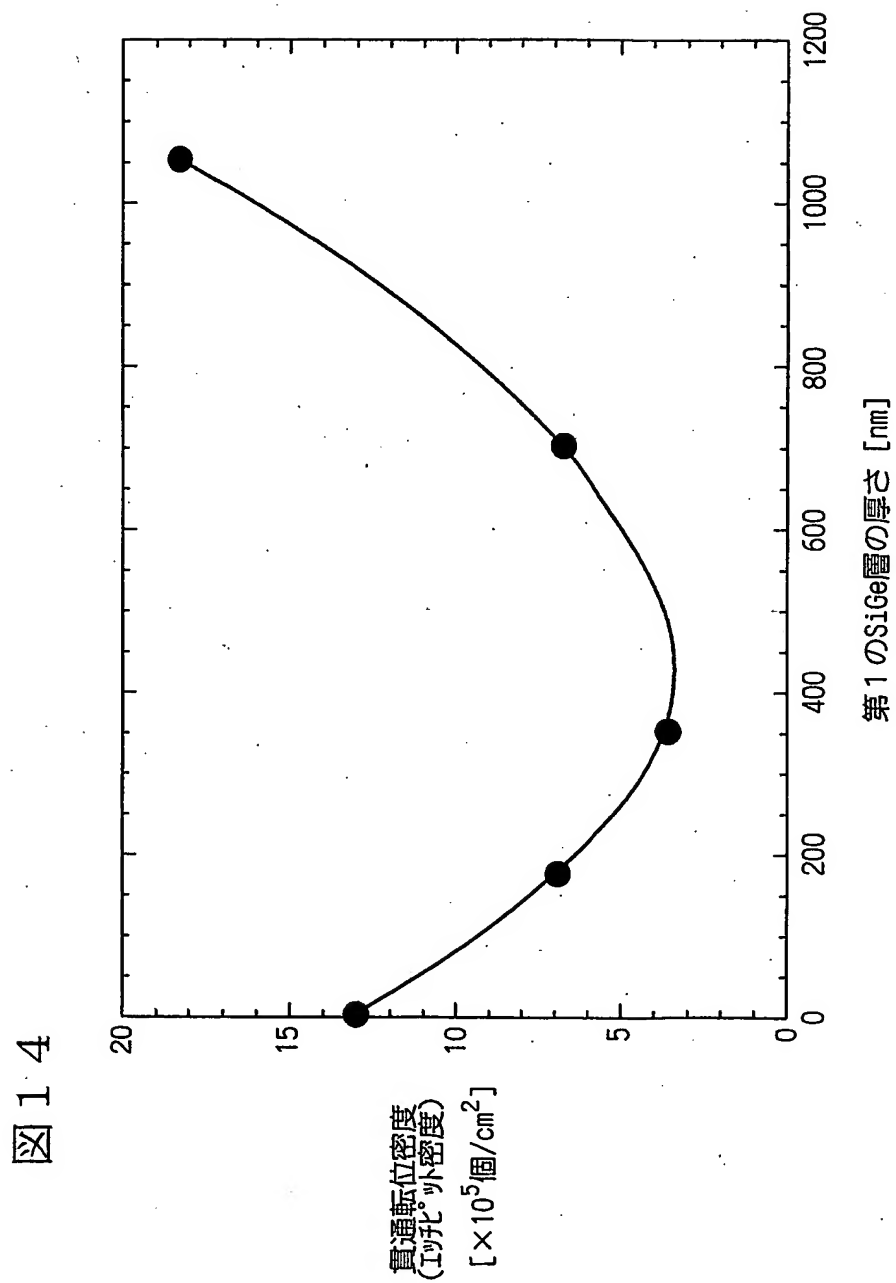


図 15

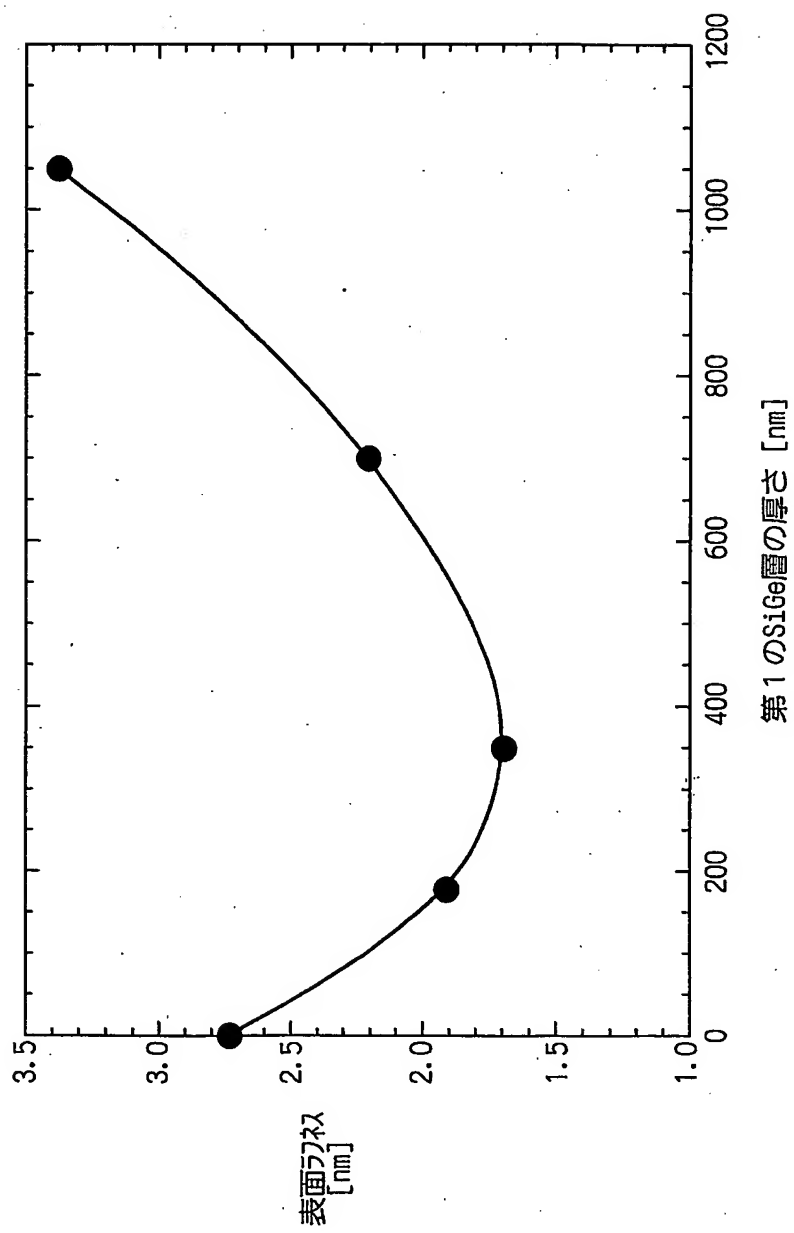


図 1 6

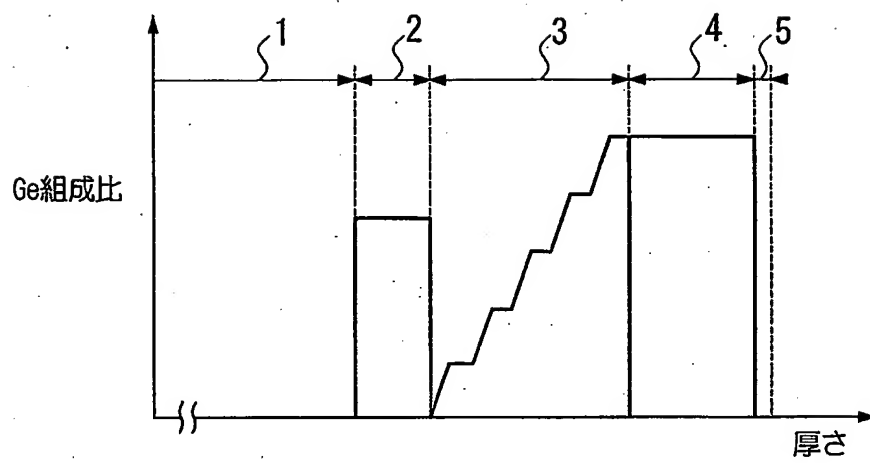


図 1 7

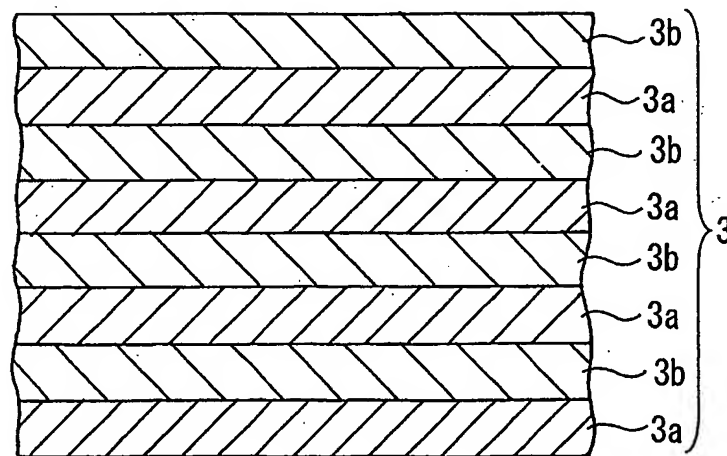


図 18

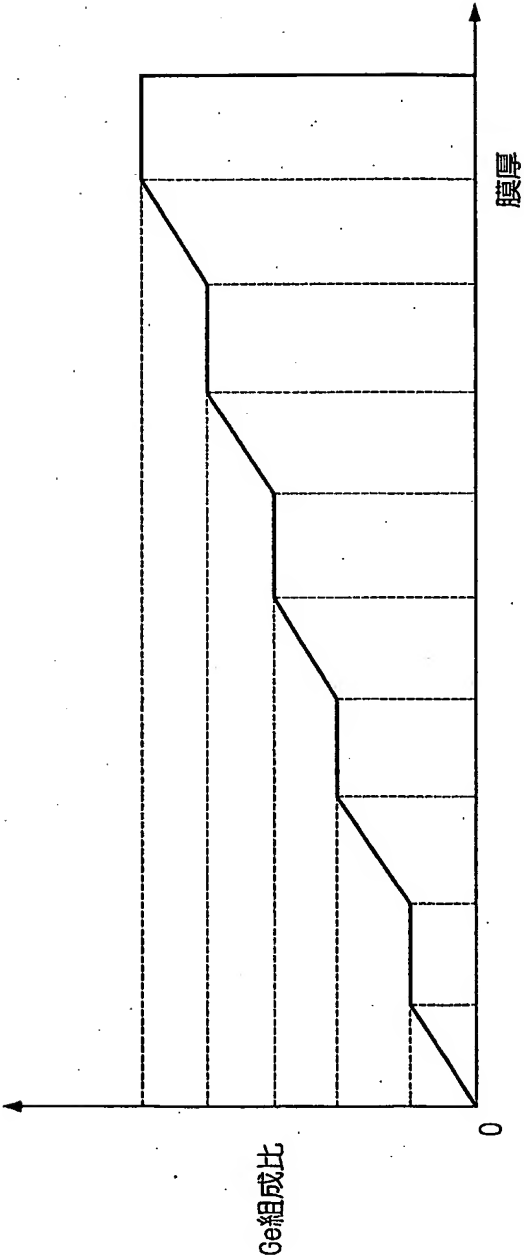


図 19

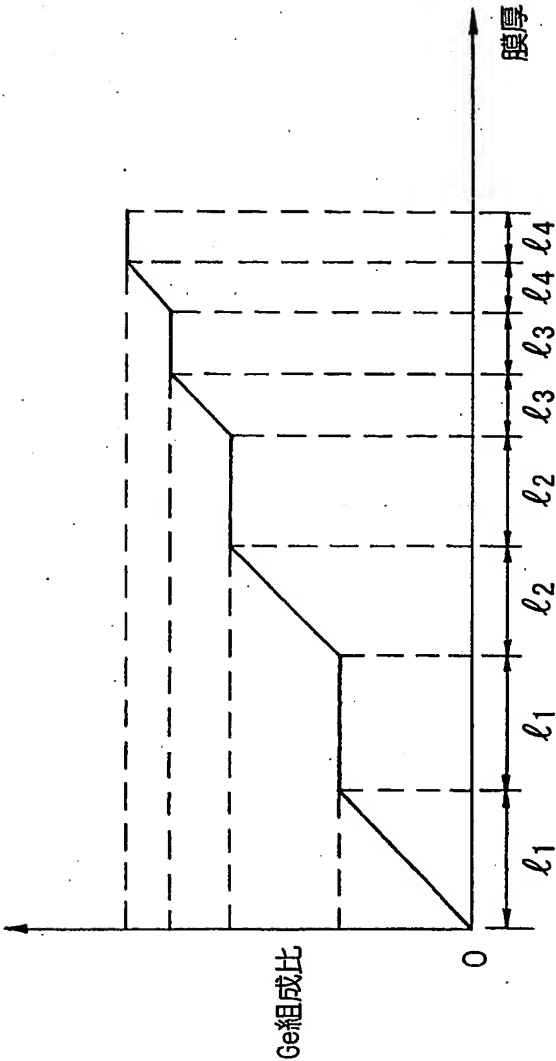


図 20

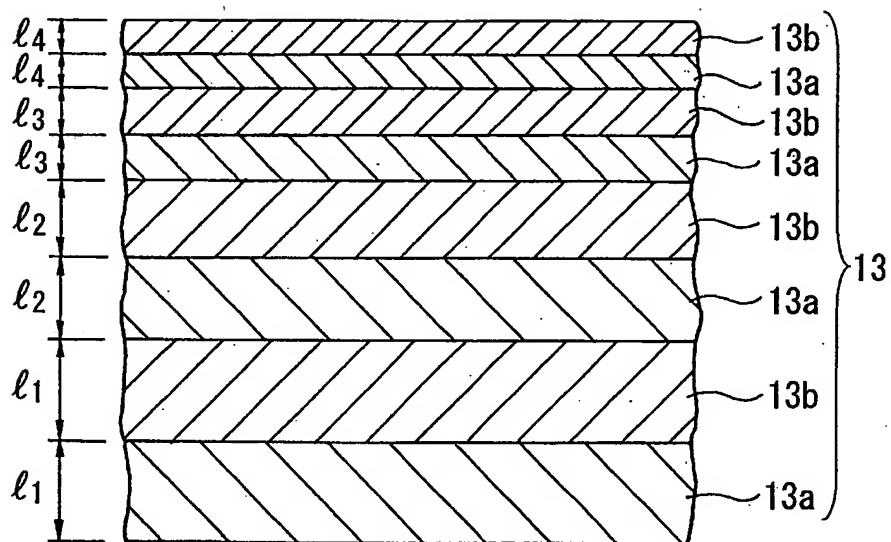


図 2 1 A

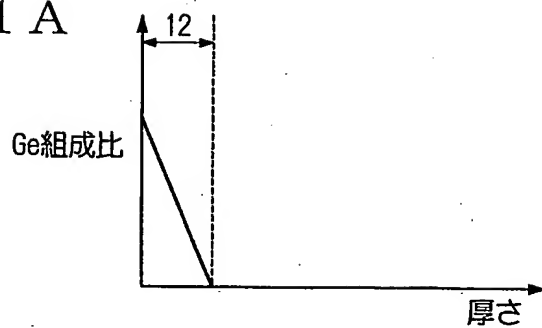


図 2 1 B

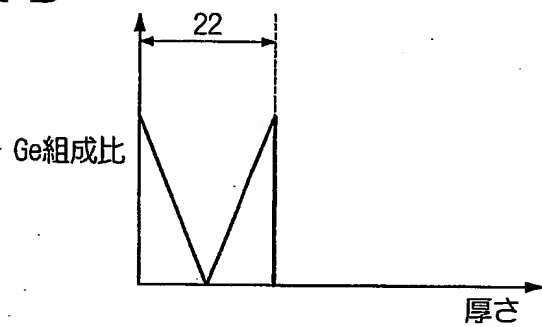


図 2 1 C

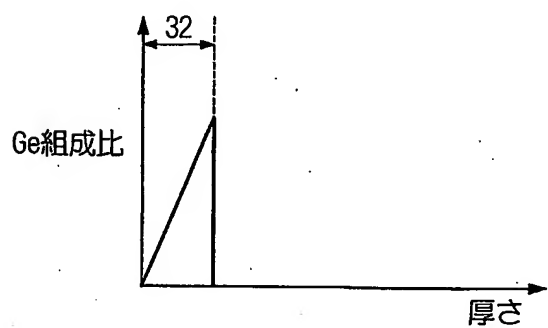


図 2 1 D

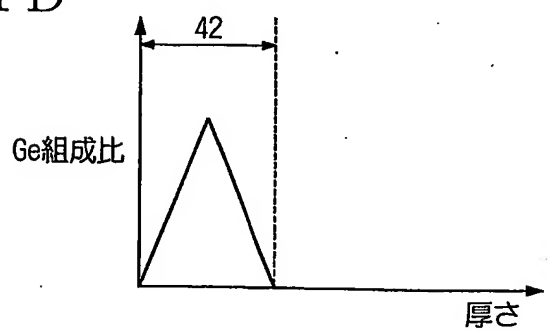


図 2 2

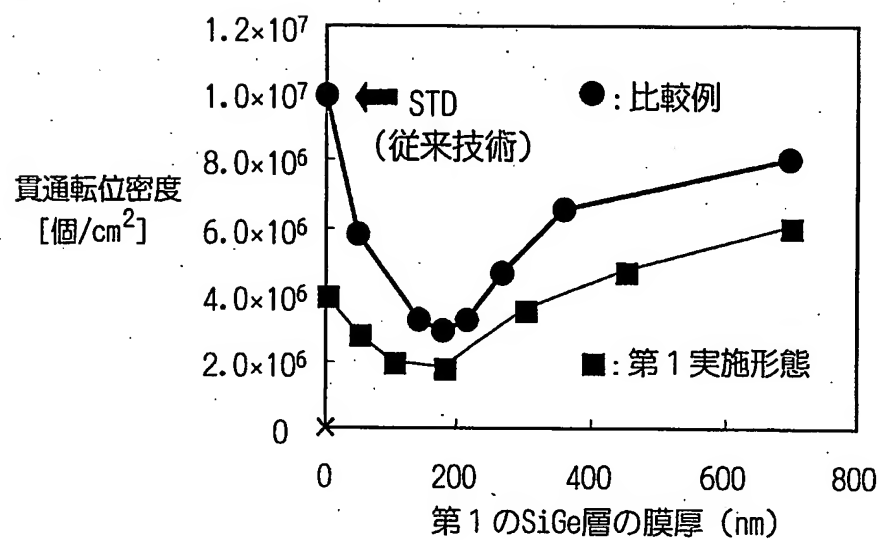


図 2 3

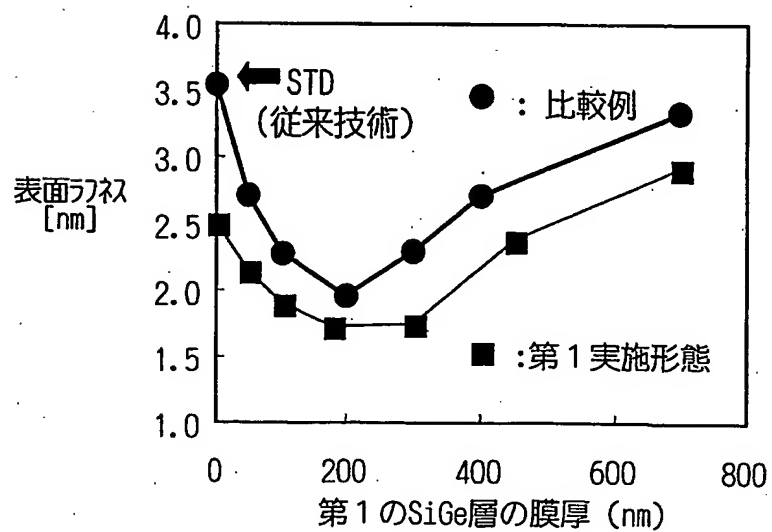


図 2 4 A



図 2 4 B

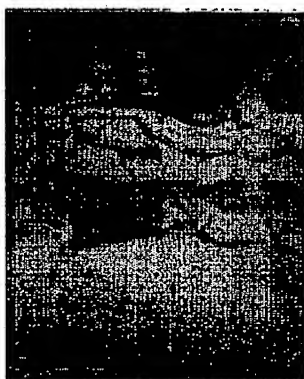


図 2 4 C



図 2 4 D

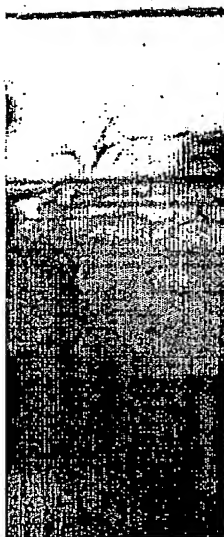


図 2 4 E

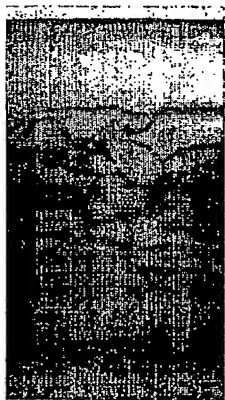


図 2 4 F

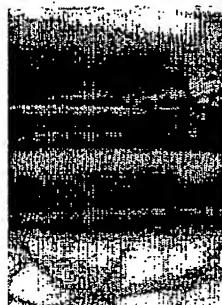


図 2 4 G



International application No.

PCT/JP02/07903

A. CLASSIFICATION OF SUBJECT MATTERInt.Cl.⁷ H01L21/20, H01L29/78, H01L21/336, H01L29/786, H01L29/161,
H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/20, H01L29/78, H01L21/336, H01L29/786, H01L29/161,
H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

INSPEC (DIALOG)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-286413 A (International Business Machines Corp.), 13 October, 2000 (13.10.00), Full text; Figs. 1 to 15 & US 2002/0125475 A1 & DE 10011054 A & CN 1289149 A	1, 3-7, 9-16, 18-21, 23-28
A	US 5906951 A (International Business Machines Corp.), 25 May, 1999 (25.05.99), Full text; Figs. 1 to 5 & JP 10-308503 A Full text; Figs. 1 to 5 & US 6059895 A & KR 98081556 A & TW 388969 A	1, 3-7, 9-16, 18-21, 23-28

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 October, 2002 (10.10.02)Date of mailing of the international search report
29 October, 2002 (29.10.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07903

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☒ Claims Nos.: 2, 8, 17, 22
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
The number of left parentheses do not agree with that of right parentheses in the right side of the formula expressing $\varepsilon(x)$.

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

- Remark on Protest
- ☐ The additional search fees were accompanied by the applicant's protest.
 - ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07903

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-180999 A (Toshiba Corp.), 11 July, 1997 (11.07.97), Full text; Figs. 1 to 8 (Family: none)	1,3-7,9-16, 18-21,23-28
A	US 5534713 A (International Business Machines Corp.), 09 July, 1996 (09.07.96), Full text; Figs. 1 to 8 & JP 7-321222 A Full text; Figs. 1 to 8 & EP 683522 A2	1,3-7,9-16, 18-21,23-28
A	SUGII, Nobuyuki et al., "Ultrahigh Electron Mobilities in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ Heterostructures with Abrupt Interfaces Formed by Solid-Phase Epitaxy", Japanese Journal of Applied Physics, Part 1, Vol.37, No.3B, 1998 March, pages 1308 to 1310	1,3-7,9-16, 18-21,23-28
A	US 5633516 A (Hitachi, Ltd.), 27 March, 1997 (27.03.97), Full text; Figs. 1 to 8 & JP 8-37291 A Full text; Figs. 1 to 8	16,18-21, 23-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/20, H01L29/78, H01L21/336, H01L29/786,
H01L29/161, H01L21/205

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/20, H01L29/78, H01L21/336, H01L29/786,
H01L29/161, H01L21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
INSPEC(DIALOG)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-286413 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2000. 10. 13, 全文, 第1-15図 & US 2002/0125475 A1 & DE 10011054 A & CN 1289149 A	1, 3-7, 9-16, 18-21, 23-28
A	US 5906951 A (INTERNATIONAL BUS INESS MACHINES CORPORATION) 1999. 05. 25, 全文, 第1-5図 & JP 10-30 8503 A, 全文, 第1-5図 & US 6059895 A & KR 98081556 A & TW 388969 A	1, 3-7, 9-16, 18-21, 23-28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10. 10. 02

国際調査報告の発送日

29.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4L

2933

電話番号 03-3581-1101 内線 3462

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☒ 請求の範囲 2, 8, 17, 22 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
 $\varepsilon(x)$ を表す式において、右辺の左括弧と右括弧の数の整合性がとれていない。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-180999 A (株式会社東芝) 1997. 07. 11, 全文, 第1-8図 (ファミリーなし)	1, 3-7, 9-16, 18-21, 23-28
A	US 5534713 A (INTERNATIONAL BU SINESS MACHINES CORPORATION) 1996. 07. 09, 全文, 第1-8図 & JP 7-321222 A, 全文, 第1-8図 & EP 683522 A2	1, 3-7, 9-16, 18-21, 23-28
A	SUGII, Nobuyuki et al., 'Ultrahigh Electron Mobilities in Si _{1-x} Ge _x /Si/Si _{1-x} Ge _x Heterost ructures with Abrupt Interface s Formed by Solid-Phase Epitax y', Japanese Journal of Applied Ph ysics, Part1, Vol. 37, No. 3B, 1998. March, p1308-1310	1, 3-7, 9-16, 18-21, 23-28
A	US 5633516 A (HITACHI, LTD.) 1997. 03. 27, 全文, 第1-8図 & JP 8-37291 A 全文, 第1-8図	16, 18-21, 23- 28